

CERTIFIED COPY OF
PRIORITY DOCUMENT

日 本 国 特 許
JAPAN PATENT OFFICE

KASHIMURA, NOTARY PUBLIC

October 12, 2001

BSKB, LLP

703) 225 8000

1248-0560P

2 of 2

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月22日

出 願 番 号

Application Number:

特願2001-047374

出 願 人

Applicant(s):

シャープ株式会社

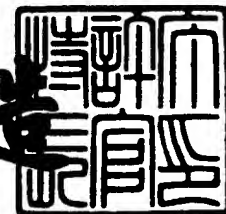
10976 U.S. PTO
09/974910
10/12/01

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3069860

【書類名】 特許願

【整理番号】 00J05224

【提出日】 平成13年 2月22日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G09G 3/36
G02F 1/133 520
G02F 1/133 575

【発明の名称】 階調表示用電圧発生装置、及びそれを備えた階調表示装置

【請求項の数】 15

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 梶原 典幸

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 渡部 利男

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 勝谷 昌史

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【先の出願に基づく優先権主張】

【出願番号】 特願2000-329600

【出願日】 平成12年10月27日

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 階調表示用電圧発生装置、及びそれを備えた階調表示装置

【特許請求の範囲】

【請求項 1】

表示データのビット数に応じた複数種の階調表示用の電圧を生成する基準電圧発生手段と、

上記複数種の階調表示用の電圧から、上記表示データに応じた電圧を選択して階調表示素子に出力する選択手段とを備えた階調表示用電圧発生装置において、

上記基準電圧発生手段の出力段と選択手段の入力段との間には、

上記基準電圧発生手段より低出力インピーダンスな一つ以上のバッファ手段と

上記基準電圧発生手段の出力段、バッファ手段、並びに選択手段の入力段の 3 者間の接続状態を切り換えることにより、上記階調表示用の電圧それぞれを基準電圧発生手段から選択手段に出力する際に、バッファ手段を介して行うか、または介さずに行うかを選択可能とするスイッチング手段とが設けられており、

さらに、上記階調表示素子の階調表示の状態に応じて、上記スイッチング手段の切り換え動作を制御する制御手段 A を含んでなることを特徴とする階調表示用電圧発生装置。

【請求項 2】

上記基準電圧発生手段の出力段には、各階調表示用の電圧を別々に出力するために、該階調表示用の電圧の種類数と同数の出力端子が設けられており、

上記制御手段 A は、階調表示の状態に応じて、上記バッファ手段の入力が上記出力端子それぞれに時分割で接続されるようにスイッチング手段の切り換え動作を制御することを特徴とする請求項 1 に記載の階調表示用電圧発生装置。

【請求項 3】

上記制御手段 A を介して上記スイッチング手段の切り換え動作を制御することにより、

上記各バッファ手段の入力に時分割で接続される上記出力端子を、

電圧レベルの低い階調表示用の電圧を出力する出力端子から、順次電圧レベル

のより高い階調表示用の電圧を出力する出力端子へと切り換える、または、

電圧レベルの高い階調表示用の電圧を出力する出力端子から、順次電圧レベルのより低い階調表示用の電圧を出力する出力端子へと切り換えることを特徴とする請求項 2 に記載の階調表示用電圧発生装置。

【請求項 4】

上記選択手段の入力段には、複数の入力端子が設けられており、

上記制御手段 A は、階調表示の状態に応じて、上記バッファ手段の出力が上記入力端子の 1 つ以上と同時に接続されるように上記スイッチング手段を切り換えて、この入力端子に上記階調表示用の電圧のいずれか一つを供給し、

次いで、上記バッファ手段の出力に接続された上記入力端子の電位が、供給されている階調表示用の電圧の電圧レベルに到達すると、該電圧レベルに到達した入力端子をバッファ手段の出力から切り離し、この階調表示用の電圧をバッファ手段を介さず供給するように上記スイッチング手段を切り換えることを特徴とする請求項 1 ないし 3 のいずれか一項に記載の階調表示用電圧発生装置。

【請求項 5】

上記基準電圧発生手段を複数個備え、これら基準電圧発生手段が生成する上記複数種の階調表示用の電圧は、基準電圧発生手段毎に異なっており、さらに、

使用する基準電圧発生手段を切り換える切換手段と、

上記階調表示素子の階調表示の状態に応じて、上記切換手段の切り換え動作を制御する制御手段 B とを含んでなることを特徴とする請求項 1 ないし 4 のいずれか一項に記載の階調表示用電圧発生装置。

【請求項 6】

上記基準電圧発生手段は、上記複数種の階調表示用の電圧の一部を生成する基準電圧発生ブロックが複数個集合して構成されており、さらに、

上記バッファ手段が上記基準電圧発生ブロック毎に設けられていることを特徴とする請求項 1 ないし 5 のいずれか一項に記載の階調表示用電圧発生装置。

【請求項 7】

上記基準電圧発生手段は、2 種の参照電圧のみが入力可能に構成されており、上記 2 種の参照電圧から上記複数種の階調表示用の電圧を生成することを特徴と

する請求項 1 ないし 6 のいずれか一項に記載の階調表示用電圧発生装置。

【請求項 8】

表示データのビット数に応じた複数種の階調表示用の電圧を生成する基準電圧発生手段と、

上記複数種の階調表示用の電圧から、上記表示データに応じた電圧を選択して階調表示素子に出力する選択手段とを備えた階調表示用電圧発生装置において、

上記基準電圧発生手段よりも低出力インピーダンスで、かつ、上記複数種の階調表示用の電圧を生成するために設けられる一つ以上の電圧発生手段と、

上記複数種の階調表示用の電圧それぞれを、上記基準電圧発生手段から選択手段に出力するか、または、上記低出力インピーダンスな電圧発生手段から選択手段に出力するかを切り換えるスイッチング手段と、

上記階調表示素子の階調表示の状態に応じて、上記スイッチング手段の切り換え動作を制御する制御手段 A と、を含んでなることを特徴とする階調表示用電圧発生装置。

【請求項 9】

上記制御手段 A を介して上記スイッチング手段の切り換え動作を制御することにより、

上記低出力インピーダンスな電圧発生手段から選択手段に出力する上記階調表示用の電圧の種類を時分割で切り換えることを特徴とする請求項 8 に記載の階調表示用電圧発生装置。

【請求項 10】

上記低出力インピーダンスな電圧発生手段それぞれから選択手段に出力する上記階調表示用の電圧の種類を、

電圧レベルの低い階調表示用の電圧から、順次電圧レベルのより高い階調表示用の電圧へと切り換える、または、

電圧レベルの高い階調表示用の電圧から、順次電圧レベルのより低い階調表示用の電圧へと切り換えることを特徴とする請求項 9 に記載の階調表示用電圧発生装置。

【請求項 11】

上記選択手段の入力段には、複数の入力端子が設けられており、

上記制御手段 A は、階調表示の状態に応じて、上記低出力インピーダンスな電圧発生手段が上記入力端子の 1 つ以上と同時に接続されるように上記スイッチング手段を切り換えて、この入力端子に上記階調表示用の電圧のいずれか一つを供給し、

次いで、上記低出力インピーダンスな電圧発生手段に接続された上記入力端子の電位が、供給されている階調表示用の電圧の電圧レベルに到達すると、該電圧レベルに到達した入力端子を低出力インピーダンスな電圧発生手段から切り離し、この階調表示用の電圧を上記基準電圧発生手段から供給するように上記スイッチング手段を切り換えることを特徴とする請求項 8 ないし 10 のいずれか一項に記載の階調表示用電圧発生装置。

【請求項 1 2】

上記基準電圧発生手段と一つ以上の電圧発生手段とを含んでなる基準電圧発生ユニットを複数個備え、これら基準電圧発生ユニットが生成する上記複数種の階調表示用の電圧は、基準電圧発生ユニット毎に異なっており、さらに、

使用する基準電圧発生ユニットを切り換える切換手段と、

上記階調表示素子の階調表示の状態に応じて、上記切換手段の切り換え動作を制御する制御手段 B とを含んでなることを特徴とする請求項 8 ないし 11 のいずれか一項に記載の階調表示用電圧発生装置。

【請求項 1 3】

上記基準電圧発生手段は、上記複数種の階調表示用の電圧の一部を生成する基準電圧発生ブロックが複数個集合して構成されており、さらに、

上記低出力インピーダンスな電圧発生手段が上記基準電圧発生ブロック毎に設けられていることを特徴とする請求項 8 ないし 12 のいずれか一項に記載の階調表示用電圧発生装置。

【請求項 1 4】

上記基準電圧発生手段と一つ以上の電圧発生手段とを含んでなる基準電圧発生ユニットは 2 種の参照電圧のみが入力可能に構成されており、上記 2 種の参照電圧から上記複数種の階調表示用の電圧を生成することを特徴とする請求項 8 ない

し 1 3 のいずれか一項に記載の階調表示用電圧発生装置。

【請求項 1 5】

請求項 1 ないし 1 4 のいずれか一項に記載の階調表示用電圧発生装置と、
上記階調表示用電圧発生装置から階調表示用の電圧が供給されて階調表示を行う階調表示素子とを含んでなることを特徴とする階調表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、液晶パネルやプラズマディスプレイパネルなどの階調表示素子に階調表示用の電圧を供給する階調表示用電圧発生装置と、それを備えた階調表示装置とに関し、特に、抵抗分割回路を含んで構成される階調電源（基準電圧発生回路）から、D A コンバータ（D A 変換回路）等の選択回路を介して階調表示素子の負荷容量を充電する場合に、バッファ回路などの低出力インピーダンス回路を介した急速な充電と、介さない低消費電力な充電とを切り換え実施する階調表示用電圧発生装置と、それを備えた階調表示装置とに関するものである。

【0 0 0 2】

【従来の技術】

図 1 3 は、アクティブマトリクス方式の代表例である T F T（薄膜トランジスタ）方式の液晶表示装置のブロック構成を示している。

【0 0 0 3】

この液晶表示装置は、液晶表示部とそれを駆動する液晶駆動装置（液晶駆動回路）とで構成されている。上記液晶表示部は、T F T 方式の液晶パネル 9 0 1 を備え、該液晶パネル 9 0 1 内には、マトリクス状に配置された複数の表示単位素子（画素）と、対向電極（共通電極）9 0 6 とが設けられている。

【0 0 0 4】

一方、上記液晶駆動装置は、それぞれ I C（Integrated Circuit）チップを含んでなるソースドライバ 9 0 2 およびゲートドライバ 9 0 3 と、コントローラ 9 0 4 と、液晶駆動電源 9 0 5 とを備えている。

【0 0 0 5】

ソースドライバ 9 0 2 やゲートドライバ 9 0 3 は、一般的には、所定の配線が形成されたフィルム上に上記 IC チップを搭載した TCP (Tape Carrier Package) などを、液晶パネル 9 0 1 の内部から周縁部側に延設された ITO (Indium Tin Oxide ; インジウムスズ酸化物) 端子上に実装し、接続したり、上記 IC チップを ACF (Anisotropic Conductive Film ; 異方性導電膜) を介して直接、液晶パネル 9 0 1 の上記 ITO 端子に熱圧着して実装し、接続する方法などで構成されている。

【 0 0 0 6 】

また、液晶表示装置のより小型化を図るため、上記コントローラ 9 0 4、液晶駆動電源 9 0 5、ソースドライバ 9 0 2、及びゲートドライバ 9 0 3 をまとめて 1 チップで構成したり、2 ないし 3 チップで構成したりすることもある。図 1 3 では、これらの構成を機能別に分離した形で示している。

【 0 0 0 7 】

コントローラ 9 0 4 は、図中 D で示すデジタル化された表示データ（例えば、赤、緑、青に対応する RGB の各映像信号）、及び S 1 で示す各種制御信号をソースドライバ 9 0 2 に出力すると共に、図中 S 2 で示す各種制御信号をゲートドライバ 9 0 3 に出力している。ソースドライバ 9 0 2 への主な制御信号は、水平同期信号（ラッチ信号 Ls）、スタートパルス信号およびソースドライバ用のクロック信号等がある。一方、ゲートドライバ 9 0 3 への主な制御信号は、垂直同期信号やゲートドライバ用のクロック信号等がある。なお、図中、各 IC チップ（ゲートドライバ IC、及びソースドライバ IC）を駆動するための電源は省略している。

【 0 0 0 8 】

また、液晶駆動電源 9 0 5 は、ソースドライバ 9 0 2 およびゲートドライバ 9 0 3 へ液晶パネル表示用電圧（階調表示用電圧を発生させるための参照電圧）を供給するものである。

【 0 0 0 9 】

外部から入力された表示データは、デジタル信号である上記表示データ D として、コントローラ 9 0 4 を通してソースドライバ 9 0 2 へ入力される。ソースド

ライバ902は、入力された表示データDを時分割でサンプリングして内部に記憶し、その後、コントローラ904から入力される水平同期信号（ラッチ信号Lsとも言う）に同期するように、上記表示データDから階調表示用電圧へのDA（デジタル→アナログ）変換を行う。

【0010】

そして、ソースドライバ902は、DA変換によって得られた階調表示用のアナログ電圧（階調表示用電圧）を、その液晶駆動電圧出力端子から、液晶パネル901内に設けられた対応するソース信号ライン1004（図14参照）に出力する。

【0011】

次に、上記液晶パネル901の構成について、図14に基づいて説明する。液晶パネル901には、画素電極1001、画素容量1002、画素への電圧印加をオン／オフするスイッチング素子としてのTFT1003、ソース信号ライン1004、ゲート信号ライン1005、並びに、液晶パネルの対向電極1006（図13の対向電極906に相当）が設けられている。なお、図中、Aで示す領域が1画素分の表示単位素子に相当する。

【0012】

ソース信号ライン1004には、対象とする各画素に表示される明るさに応じた強度の階調表示用電圧が、図13に示すソースドライバ902から与えられる。一方、ゲート信号ライン1005それぞれには、図13に示すゲートドライバ903から、縦方向（すなわち、ソース信号ライン1004の伸長方向）に並んだ複数のTFT1003が順次オンするように走査信号が与えられる。

【0013】

TFT1003がオン状態の場合、該TFT1003のドレインに接続された画素電極1001にソース信号ライン1004から階調表示用電圧が印加されると、画素電極1001と対向電極1006との間の画素容量1002に電荷が蓄積される（充電される）。次いで、ゲート信号ライン1005による選択が終了し、TFT1003がオフ（非選択）状態に変化することで、画素容量1002に書き込まれた電圧が維持される。そして、このようなオン／オフ動作を通じて

、各表示単位素子（画素）の光透過率が、そこに書き込まれた階調表示用電圧のレベルに応じて変化され、所望の階調表示が実現される。

【0014】

図15および図16は、図14に示す液晶パネル901のソース信号ライン1004、ゲート信号ライン1005、並びに画素電極1001それぞれに印加される液晶駆動電圧の波形の一例を示している。該図中、1101、1201はソースドライバ902からソース信号ライン1004に出力された階調表示用電圧の波形を示し、1102、1202はゲートドライバ903からゲート信号ライン1005に出力された、TFT1003のオン／オフを制御する走査信号の電圧波形を示す。尚、1102または1202がHighレベルのときTFT1003はオン状態に、LowレベルのときTFT1003はオフ状態になる。

【0015】

また、1103、1203は対向電極1006（図14参照）の電位を示し、1104、1204は画素電極1001に印加される電圧波形を示す。画素電極1001に印加される電圧波形1104の変化（図15など参照）は、走査信号である1102がハイレベルのときTFT1003がオンして画素容量1002の充電（すなわち階調表示用電圧である1101の書き込み）が開始され、次いで画素容量1002が所定の電圧レベルに到達したときに上記走査信号がロウレベルとなってTFT1003がオフし、以降、走査信号が再びハイレベルとなるまでの間、画素容量1002に充電された電荷に相当する電圧レベルが維持されることによって説明される。なお、図16中、1204で示した電圧波形の変化も同様に説明される。

【0016】

なお、図示しない液晶材料に印加される電圧は、画素電極1001と対向電極1006との電位差（電圧差）であり、図15、図16中では、斜線で示している。

【0017】

また、図15と図16とでは、ソース信号ライン1004に印加される階調表示用電圧（1101、1201）の電圧値が異なっており、これにより互いに異

なる階調の表示を行っている。つまり、該階調表示用電圧の電圧値を変えることで、一面素単位に含まれる画素電極 1 0 0 1 と対向電極 1 0 0 6 との間の電位差（図 1 5、図 1 6 中では、斜線で示す）を異ならせ、所望の階調表示を実現している。なお、表示可能な階調数は、液晶材料に印加される電圧値の選択肢の数（換言すれば、アナログ信号として出力される上記階調表示用電圧の電圧値の選択肢の数）により決定される。

【 0 0 1 8 】

ところで、本発明は、特に大きな回路規模および消費電力を占める階調表示用回路の中の基準電圧発生回路や出力回路に関するものであるため、以後、ソースドライバ 9 0 2 を中心に液晶駆動装置の説明を行う。

【 0 0 1 9 】

図 1 7 は、上記ソースドライバ 9 0 2 のブロック構成を示しており、以下、該図などを参照しながらその基本的な部分のみ説明する。コントローラ 9 0 4（図 1 3 参照）から転送されてきた各デジタル表示データ DR・DG・DB（例えば各 6 ビット）は、一旦、入力ラッチ回路 1 3 0 1 でラッチされる。なお、各デジタル表示データ DR・DG・DB は、それぞれ赤、緑、青色データに対応しており、図 1 3 では表示データ D として総称されていたものである。

【 0 0 2 0 】

一方、上記コントローラ 9 0 4 からソースドライバ 9 0 2 に対しては、スタートパルス信号 SP や、ソースドライバ用のクロック信号 CK も入力される。このスタートパルス信号 SP は、上記クロック信号 CK に同期してシフトレジスタ回路 1 3 0 2 内の各段を順次転送され、1) 該シフトレジスタ回路 1 3 0 2 の各段からサンプリングメモリ回路 1 3 0 3 に対し出力信号を供給するとともに、2) その最終段から次段のソースドライバに対し、該ソースドライバ用のスタートパルス信号 SP（カスケード出力信号 S）を出力する。

【 0 0 2 1 】

また、上記シフトレジスタ回路 1 3 0 2 の各段からサンプリングメモリ回路 1 3 0 3 に供給される出力信号に同期して、入力ラッチ回路 1 3 0 1 にラッチされたデジタル表示データ DR・DG・DB は、時分割でサンプリングメモリ回路 1

303内に一旦記憶されると共に、次のホールドメモリ回路1304に出力される。

【0022】

より具体的には、1水平同期期間（図18参照）分のデジタル表示データDR・DG・DBがサンプリングメモリ回路1303に記憶されると、コントローラ904（図13参照）から供給される水平同期信号（ラッチ信号Ls）に基づき、ホールドメモリ回路1304がサンプリングメモリ回路1303の各段からの出力信号を取り込み、該出力信号を次段のレベルシフタ回路1305に出力する。また上記ホールドメモリ回路1304は、この出力動作と共に、次の水平同期信号が入力されるまでそのデジタル表示データDR・DG・DBを維持する。

【0023】

レベルシフタ回路1305は、液晶パネル901（図13参照）への印加電圧レベルを処理する次段のDA変換回路1306に適合させるため、入力信号のレベルを昇圧等により変換して出力する回路である。また、基準電圧発生回路1309は、液晶駆動電源905（図13参照）からの参照電圧VRに基づき、階調表示用の各種アナログ電圧を発生させ、DA変換回路1306に出力する。

【0024】

DA変換回路1306は、基準電圧発生回路1309から供給される各種アナログ電圧から、レベルシフタ回路1305にてレベル変換されたデジタル表示データに応じたアナログ電圧を選択する。この階調表示を表すアナログ電圧は、出力回路1307を介して、各液晶駆動電圧出力端子（以下、単に出力端子と記載する）1308から液晶パネル901の各ソース信号ライン1004へ出力される。出力回路1307は、バッファ回路として機能し、例えば差動増幅回路を用いたボルテージフォロア回路で構成されるものである。

【0025】

なお、図18、図19（a）・（b）には、図13～図17を用いて説明した、上記ソースドライバ902やゲートドライバ903（図13参照）の入力信号または出力信号のタイミングチャートを示している。図18に示されるように、コントローラ904からゲートドライバ903に入力される垂直同期信号と、ソ

ースドライバ 9 0 2 に入力される水平同期信号（ラッチ信号 L_s ）とは互いに所定の関係を有して出力されており、さらに、該ゲートドライバ 9 0 3 から各ゲート信号ライン $G_1 \sim G_n$ （図 1 4 に示すゲート信号ライン 1 0 0 5 に相当）に出力される走査信号はそれぞれ、1 垂直同期期間内に 1 度ずつ、上記水平同期信号に同期して順次選択パルス（図 1 6 に示す $H i g h$ レベルの電圧信号）を出力している。

【 0 0 2 6 】

一方、上記走査信号、ソースドライバ用のクロック信号 $C K$ 、スタートパルス信号 $S P$ 、デジタル表示データ $D R \cdot D G \cdot D B$ （図中デジタル表示データ信号と記載）、並びに水平同期信号の信号波形同士は、既に説明した通り、図 1 9（a）に示す関係を有しており、ソースドライバ 9 0 2 の出力端子 1 3 0 8 から各ソース信号ライン 1 0 0 4 へ出力される信号波形（図中、ソースドライバ出力）は、図 1 9（b）に示す関係を有している。なお、該図に示すのは、ソースドライバ 9 0 2 側の出力端子 1 3 0 8 が $X 1 \sim X 1 0 0$ 、 $Y 1 \sim Y 1 0 0$ 、 $Z 1 \sim Z 1 0 0$ （すなわち、 $R \cdot G \cdot B$ の各色に対応して 1 0 0 個ずつ）の合計 3 0 0 端子備えてなる例であり、以下にも説明するように 6 4 通りの階調表示への対応が可能なものである。

【 0 0 2 7 】

次に、本発明に特に関係する基準電圧発生回路 1 3 0 9、 $D A$ 変換回路 1 3 0 6、並びに出力回路 1 3 0 7につき、主に図 1 7、図 2 0、図 2 1、並びに図 2 2を参照して、さらに詳細にその回路構成を説明する。

【 0 0 2 8 】

図 2 0 は、基準電圧発生回路 1 3 0 9 の回路構成例を示している。 $R G B$ の各色に対応するデジタル表示データ $D R \cdot D G \cdot D B$ が各々例えば 6 ビットで構成されている場合、基準電圧発生回路 1 3 0 9 は、 $2^6 = 6 4$ 通りの階調表示に対応する 6 4 種類のアナログ電圧を出力する。以下、その具体的構成について説明する。

【 0 0 2 9 】

基準電圧発生回路 1 3 0 9 は、抵抗 $R_0 \sim R_7$ が直列に接続された抵抗分割回

路で構成されており、最も簡単な構成となっている。また、上記の抵抗 $R_0 \sim R_7$ のそれぞれは、8本の抵抗素子が直列に接続されて構成されている。例えば、抵抗 R_0 について説明すれば、図 2 1 に示すように、8本の抵抗素子 R_{01} 、 R_{02} 、 \dots 、 R_{08} が直列接続されて抵抗 R_0 が構成されている。また、他の抵抗 $R_1 \sim R_7$ についても上記した抵抗 R_0 と同様の構成である。したがって、基準電圧発生回路 1 3 0 9 は、合計 6 4 本の抵抗素子が直列接続されて構成されていることになる。なお、抵抗 $R_0 \sim R_7$ の抵抗値はそれぞれ、 γ 補正（後述する）等を考慮して設計すればよい。

【 0 0 3 0 】

また、基準電圧発生回路 1 3 0 9 は、9種類の参照電圧 V'_0 、 V'_8 、 \dots 、 V'_{56} 、 V'_{64} に対応する 9 つの中間調電圧入力端子を備えている。そして、抵抗 R_0 の一端に、参照電圧 V'_{64} に対応する中間調電圧入力端子が接続されている一方、抵抗 R_0 の他端、すなわち、抵抗 R_0 と抵抗 R_1 との接続点に、参照電圧 V'_{56} に対応する中間調電圧入力端子が接続されている。以下、隣り合う各抵抗 $R_1 \cdot R_2$ 、 $R_2 \cdot R_3$ 、 \dots 、 $R_6 \cdot R_7$ の各接続点に、参照電圧 V'_{48} 、 V'_{40} 、 \dots 、 V'_8 に対応する中間調電圧入力端子が順に接続されている。そして、抵抗 R_7 における抵抗 R_6 の接続点とは反対側に、参照電圧 V'_0 に対応する中間調電圧入力端子が接続されている。

【 0 0 3 1 】

この構成により、6 4 本の抵抗素子の隣り合う 2 抵抗素子間から電圧 $V_1 \sim V_{63}$ を引き出すことが可能となる。そして、これらの電圧 $V_1 \sim V_{63}$ と、参照電圧 V'_0 からそのまま得られる電圧 V_0 とを合わせて、計 6 4 通りの階調表示用アナログ電圧（電圧 $V_0 \sim V_{63}$ ）を得ることができる。結局、基準電圧発生回路 1 3 0 9 が抵抗分割回路で構成される場合、階調表示用アナログ電圧である電圧 $V_0 \sim V_{63}$ は、抵抗比によって決まることになる。6 4 種類のアナログ電圧（電圧 $V_0 \sim V_{63}$ ）は、基準電圧発生回路 1 3 0 9 から D A 変換回路 1 3 0 6 に入力される。

【 0 0 3 2 】

なお、一般的には、両端の参照電圧 V'_0 と V'_{64} の 2 電圧は常に中間調電圧

入力端子に入力されるが、残る $V'_8 \sim V'_{56}$ に対応する 7 本の間調電圧入力端子は微調整用として使用され、実際にはこれらの端子に電圧が入力されない場合もある。

【0033】

次に、DA変換回路1306について説明する。図22は、DA変換回路1306の一構成例を示している。なお、該図には、上記出力回路1307の構成（ボルテージフォロワ回路）も示している。

【0034】

DA変換回路1306では、6ビットのデジタル信号からなる表示データに応じて、入力された64通りの電圧 $V_0 \sim V_{63}$ のうちの1つが選択されて出力されるように、MOSトランジスタやトランスミッションゲートがアナログスイッチ（以下、スイッチと称する）として配置されている。すなわち、6ビットのデジタル信号からなる表示データのそれぞれ（Bit 0～Bit 5）に応じて、上記スイッチがオン／オフされ、これにより、入力された64通りの電圧のうちの1つが選択されて出力回路1307に出力される。以下にこの様子を説明する。

【0035】

6ビットのデジタル信号は、Bit 0がLSB（the Least Significant Bit）であり、Bit 5がMSB（the Most Significant Bit）である。上記スイッチは、2個で1組のスイッチ対を構成している。Bit 0には32組のスイッチ対（64個のスイッチ）が対応しており、Bit 1には16組のスイッチ対（32個のスイッチ）が対応している。以下、Bitごとに個数が2分の1になり、Bit 5には1組のスイッチ対（2個のスイッチ）が対応することになる。したがって、合計で、 $2^5 + 2^4 + 2^3 + 2^2 + 2^1 + 1 = 63$ 組のスイッチ対（126個のスイッチ）が存在する。

【0036】

Bit 0に対応するスイッチの一端は、先の電圧 $V_0 \sim V_{63}$ が入力される端子となっている。そして、上記スイッチの他端は2個1組で接続されると共に、さらに次のBit 1に対応するスイッチの一端に接続されている。以降、この構成がBit 5に対応するスイッチまで繰り返される。最終的には、Bit 5に対応

するスイッチから1本の線が引出され、出力回路1307に接続されている。

【0037】

Bit 0～Bit 5に対応するスイッチを、それぞれスイッチ群 $SW_0 \sim SW_5$ と呼ぶことにする。スイッチ群 $SW_0 \sim SW_5$ の各スイッチは、6ビットのデジタル表示データ (Bit 0～Bit 5) により、以下のように制御される。

【0038】

スイッチ群 $SW_0 \sim SW_5$ では、対応するBitが0 (Lowレベル) のときは各2個1組のアナログスイッチの一方 (同図では下側のスイッチ) がONし、逆に、対応するBitが1 (Highレベル) のときは別のアナログスイッチ (同図では上側のスイッチ) がONする。同図では、Bit 0～Bit 5が (1 1 1 1 1 1) であり、全てのスイッチ対において上のスイッチがオン、下のスイッチがオフとなっている。この場合、DA変換回路1306からは、電圧 V_{63} が出力回路1307に出力される。

【0039】

同様に、例えば、Bit 0～Bit 5が (1 1 1 1 1 0) であれば、DA変換回路1306からは、電圧 V_{62} が出力回路1307に出力され、(0 0 0 0 0 1) であれば電圧 V_1 が出力され、(0 0 0 0 0 0) であれば電圧 V_0 が出力される。このようにして、デジタル表示に応じた階調表示用アナログ電圧 (電圧 $V_0 \sim V_{63}$) の中から1つが選択的に出力されて、階調表示が実現される。

【0040】

上記した基準電圧発生回路1309は、通常1つのソースドライバICに1つ設置され、共有化して使用される。一方、DA変換回路1306および出力回路1307は、各出力端子1308 (図17参照) に対応してそれぞれ一つずつ設けられている。

【0041】

また、カラー表示の場合は、上記出力端子1308は、各色に対応して使用されるので、その場合は、DA変換回路1306および出力回路1307は、画素ごとで、かつ、1色につき各々1回路が使用される。すなわち、液晶パネル901の長辺方向の画素数がNであれば、赤、緑、青の各色用の出力端子1308を

、それぞれ R 、 G 、 B に添え字 n ($n = 1, 2, \dots, N$)を付して表せば、この出力端子1308としては、 R_1 、 G_1 、 B_1 、 R_2 、 G_2 、 B_2 、 \dots 、 R_N 、 G_N 、 B_N があり、そのため、 $3N$ 個のDA変換回路1306および出力回路1307が必要になる。

【0042】

また、所望する階調表示を実現するために、通常、 γ 補正が施される。例えば、基準電圧発生回路1309を構成する直列に接続された8つの抵抗 R_0 、 R_1 、 \dots 、 R_6 、 R_7 の各抵抗値を γ 補正を実現するように変更することで、出力されるアナログ電圧（階調表示用基準電圧）の各値が非線形となるようにし、結果として液晶パネル（液晶表示素子）の光透過特性に非線形特性を持たせて γ 補正を実現している。

【0043】

図26(a)は、 γ 補正によるデジタル表示データと上記アナログ電圧（階調表示用基準電圧）との関係の一例を示すものであり、縦軸には基準電圧発生回路1309が生成する64種類のアナログ電圧（電圧 $V_0 \sim V_{63}$ ）をその大きさの順に示し、横軸には64階調表示を行うための6ビットのデジタル表示データを示している。なお、図26(a)でデジタル表示データは便宜上、16進数表示をしているが、2進数表示との対応は通常と同じく、0000000(00h)、 \dots 、0010000(08h) \dots 、1110000(38h)、 \dots 、1111111(3Fh)である。

【0044】

そして、例えば、デジタル表示データが00hの時は、すでに説明したように、電圧 V_0 がDA変換回路1306より選択的に出力され、またデジタル表示データが08hの時は、電圧 V_8 が該DA変換回路1306より選択的に出力され、それぞれ出力回路1307を介して液晶パネル901側に出力される。

【0045】

また、すでに説明したように抵抗 R_0 、 R_1 、 \dots 、 R_6 、 R_7 それぞれは、同一の抵抗値を有する8本の抵抗素子が直列に接続されてなるので、液晶パネル901における γ 補正特性は図26(a)に示すような折れ線特性となる。

【 0 0 4 6 】

一方、液晶表示装置では、液晶パネル（液晶表示素子）に液晶駆動電圧として同極性の電圧を過度に印加し続けると、液晶材料等の信頼性が損なわれることが知られている。そこで、液晶表示素子の各画素に印加される液晶駆動電圧を一定期間毎に極性反転させる交流駆動を行い、液晶表示素子の各画素に印加される電圧の平均化がはかられている。

【 0 0 4 7 】

そして、液晶への印加電圧（液晶駆動電圧を含む）を反転させる場合には、それに応じてデジタル表示データも反転させる必要が生じる。以下、正極性駆動時（液晶駆動電圧が正極性時）でのデジタル表示データを、負極性駆動時（液晶駆動電圧が負極性時）で使用されるデジタル表示データに反転させる方法を一例として説明する。

【 0 0 4 8 】

この方法は、2進数で表されるデジタル表示データにおいて「1」を「0」に、「0」を「1」に反転するものであり、例えば、正極性駆動時用のデジタル表示データ 0 0 0 0 0 0 (0 0 h) は、負極性駆動時用のデジタル表示データ 1 1 1 1 1 1 (3 F h) に、あるいは正極性駆動時用のデジタル表示データ 0 0 1 0 0 0 (0 8 h) は、負極性駆動時用のデジタル表示データ 1 1 0 1 1 1 (3 7 h) に変換される。つまり、図 2 6 (a) に示す各デジタル表示データ 0 0 h, 0 8 h, ..., 3 8 h, 3 F h を正極性駆動時用のデジタル表示データと見なし、これらデジタル表示データを負極性駆動時用に反転させた時には、図 2 6 (b) に示すように、順に、デジタル表示データ 3 F h, 3 7 h, ..., 0 7 h, 0 0 h となる。なお、図 2 6 (b) は、図 2 6 (a) に示す正極性駆動時におけるデジタル表示データを負極性駆動時用に反転した場合の、 γ 補正によるデジタル表示データと上記アナログ電圧との関係の一例を示すものである。

【 0 0 4 9 】

このデジタル表示データの反転は、例えば、ソースドライバ 9 0 2 内のホールドメモリ回路 1 3 0 4 を構成するフリップフロップ回路 F / F (図示せず) で正出力端子 Q から出力を取るか、反転出力端子 / Q から出力を取るかを選択するこ

とにより容易に実現可能である。そして、液晶パネル 9 0 1 の対向電極に印加する電圧としては、正極性駆動時には例えば接地電圧（大きさを 0 ボルトとする）を、一方、負極性駆動時には所定の電圧 V_{64} を与えるものとする。

【 0 0 5 0 】

これにより、例えばデジタル表示データが 0 0 h で正極性駆動時の場合には、該データ 0 0 h に対応した電圧 V_0 が D A 変換回路 1 3 0 6 により選択され、その結果、液晶パネル 9 0 1 の選択画素には電圧 ($V_0 - 0$ (V)) が印加されることになる。一方、負極性駆動時には、上記デジタル表示データ 0 0 h を反転して得たデジタル表示データ 3 F h に対応する電圧 V_{63} が D A 変換回路 1 3 0 6 により選択され、その結果、液晶パネル 9 0 1 の選択画素には電圧 ($V_{63} - V_{64}$) が印加されることになる。

【 0 0 5 1 】

なお、ここでは、各電圧の電圧レベルを、電圧 $V_{64} > \text{電圧 } V_{63} > \dots > \text{電圧 } V_0 > 0$ (V) の例で説明しているため、正極性駆動時と負極性駆動時とで選択画素に印加される液晶駆動電圧の極性が周期的に変化する交流駆動がなされる。もちろん、上記デジタル表示データ 0 0 h のみならず、他のデジタル表示データの場合でも同様に交流駆動される。

【 0 0 5 2 】

ところで、上記説明の交流駆動は、デジタル表示データを反転して行うものであったが、以下に説明するように、交流駆動をデジタル表示データを反転せずに行うことも可能である。例えば、図 2 0 に示す基準電圧発生回路 1 3 0 9 において、正極性駆動時には、参照電圧 V'_0 用の入力端子に参照電圧 V'_0 を、また参照電圧 V'_{64} 用の入力端子に参照電圧 V'_{64} を入力し、さらに液晶パネル 9 0 1 の対向電極 9 0 6 の電位を、例えば接地電位とする。

【 0 0 5 3 】

一方、極性反転させる時、すなわち負極性駆動時には、基準電圧発生回路 1 3 0 9 において、参照電圧 V'_0 用の上記入力端子に参照電圧 V'_{64} を、参照電圧 V'_{64} 用の上記入力端子に参照電圧 V'_0 を入力し、さらに液晶パネル 9 0 1 の対向電極 9 0 6 には上記所定の電圧 V_{64} を印加する。これにより、選択画素に印

加される液晶駆動電圧の極性が周期的に変化する交流駆動がなされる。

【 0 0 5 4 】

なお、既に説明したように、図 2 0 に示す基準電圧発生回路 1 3 0 9 において、参照電圧 V'_8 、 V'_{16} 、…、 V'_{48} 、 V'_{56} 用の中間調電圧入力端子は出力電圧の微調整用として使用されるので、通常はこれら入力端子には何も接続されない（オープン状態）。以上、液晶パネル 9 0 1 の交流駆動について述べたが、上記説明の方法はいずれも、液晶駆動の極性反転は行うものの、 γ 補正特性は液晶駆動の極性によらず同一とする例である。

【 0 0 5 5 】

しかし、液晶表示素子（液晶パネル）の特性によっては、液晶駆動の極性が変わると必要な γ 補正特性が異なってくる場合もある。そしてこのような場合には、正極性駆動時または負極性駆動時のいずれか一方のみで、基準電圧発生回路 1 3 0 9 の参照電圧 V'_8 、 V'_{16} 、…、 V'_{48} 、 V'_{56} 用の中間調電圧入力端子にも所望の電圧を入力し、異なった γ 補正特性に対応する。具体例としては、負極性駆動時と正極性駆動時とでデジタル表示データを反転させる方式において、正極性駆動時には図 2 6 (a) に示す γ 補正特性を、一方、負極性駆動時には図 2 6 (c) に示す γ 補正特性を利用する方式などが挙げられる。なお、ここでは、極性反転時における γ 補正特性の変更を、参照電圧 V'_8 ・ V'_{56} 用の 2 つの中間調電圧入力端子に所望の電圧を印加して、基準電圧発生回路 1 3 0 9 の出力するアナログ電圧値を変更することで実現している（図 2 6 (c) 参照）。

【 0 0 5 6 】

続いて、図 2 3 ～図 2 5 を参照しながら、基準電圧発生回路 1 3 0 9、DA 変換回路 1 3 0 6、並びに必要なに応じて設けられる出力回路 1 3 0 7 の様々な接続例について説明する。

【 0 0 5 7 】

図 2 3 に示す接続例は、図 2 0 および図 2 1 に記載の接続形態をまとめたものであり、基準電圧発生回路 1 3 0 9 を介して階調表示用の電圧 $V_0 \sim V_{63}$ が入力される DA 変換回路 1 3 0 6 は、入力されるデジタル表示データ（レベルシフタ回路からの出力信号）に応じた階調表示用の電圧を選択して、出力回路 1 3 0 7

側に出力する。

【0058】

そして、この出力を、バッファ回路として機能する出力回路1307、出力端子1308を順に介して、液晶パネル内のソース信号ライン1004に出力する。なお、該図中、1008は、液晶パネルの1つの画素及びそれにつながるソース信号ライン1004の配線容量をモデル化したものである。ここで、1002は画素容量を、1003はTFTを、1006は対向電極の電位を、1007はソース信号ライン1004の配線容量を、それぞれ示している。

【0059】

以上のように、図23に示す回路構成は、複数の抵抗を直列に接続してなる抵抗分割回路から互いに異なるレベルの電圧 $V_0 \sim V_{63}$ を取得し、アナログスイッチにより該電圧 $V_0 \sim V_{63}$ からデジタル表示データに対応した1つの電圧を選択し、次いでバッファ回路として機能する出力回路1307を介して該電圧を低インピーダンス化して出力し、液晶パネル内のソース信号ライン1004の配線容量1007や画素容量1002を充電するものである。

【0060】

また、図24に示すように、図23に示す回路構成から出力回路1307を省略することも可能である。この場合には、複数の抵抗を直列に接続してなる抵抗分割回路から互いに異なるレベルの電圧 $V_0 \sim V_{63}$ を取得し、アナログスイッチにより該電圧 $V_0 \sim V_{63}$ からデジタル表示データに対応した1つの電圧を選択し、次いで、該電圧をそのまま直接ソース信号ライン1004に入力して、上記配線容量1007や画素容量1002を充電する。

【0061】

さらに、図25に示すように、出力回路1307に相当するバッファ回路1310を、基準電圧発生回路1309とDA変換回路1306とを電氣的につなぎ、電圧 $V_0 \sim V_{63}$ がそれぞれ伝送される電圧線の各々に設けた回路構成とすることもできる。この場合、上記電圧 $V_0 \sim V_{63}$ は、各バッファ回路1310を介して低インピーダンス化された後にDA変換回路1306に入力され、次いで、アナログスイッチによりデジタル表示データに対応した1つの電圧が選択され、上

記配線容量 1 0 0 7 や画素容量 1 0 0 2 が充電される。

【 0 0 6 2 】

【発明が解決しようとする課題】

ところで、上述したように、基準電圧発生回路 1 3 0 9 は、通常 1 つのソースドライバ IC に 1 つ設置され、共有化して使用されるものであるが、一方、DA 変換回路 1 3 0 6 や出力回路 1 3 0 7 は、出力端子 1 3 0 8 毎に 1 回路が使用される（図 2 3 ～図 2 5 参照）。

【 0 0 6 3 】

この出力端子 1 3 0 8 は、例えば、図 1 7 に示す各ソースドライバ IC（ソースドライバ 9 0 2）では 3 0 0 本（X 1 ～X 1 0 0、Y 1 ～Y 1 0 0、Z 1 ～Z 1 0 0）設けられており、今後、液晶表示装置の小型化、薄型化あるいは液晶パネルの高画素化が進むことで、ソースドライバ IC 1 個当たりの出力端子 1 3 0 8 数はさらに増加する（多端子化する）傾向にある。

【 0 0 6 4 】

例えば、図 2 3 に示す回路構成では、出力端子 1 3 0 8 毎に出力回路 1 3 0 7 が設置されるためそのレイアウト面積が大きくなり、コストアップ要因ともなるソースドライバ IC のチップ面積の増大を招来する。また、バッファ回路 1 3 1 0（図 2 5 参照）や、バッファ回路として機能する出力回路 1 3 0 7（図 2 3 参照）は、差動増幅回路等のアナログ回路で構成されるため、例えば動作電流を流す必要があり、その消費電力は一般的に大きくなる。そのため、多数の出力回路 1 3 0 7 が設けられる上記回路構成では、該出力回路 1 3 0 7 が消費する消費電力がソースドライバ IC の低消費電力化の妨げにもなる。

【 0 0 6 5 】

また、図 2 4 に示す回路構成は、上記出力回路 1 3 0 7 を省き低消費電力化を図ったものであるが、ソース信号ライン 1 0 0 4 の配線容量 1 0 0 7 や画素容量 1 0 0 2 を所定の時間（1 走査時間）内に充電するために、基準電圧発生回路 1 3 0 9 内に設けられた抵抗分割回路の各抵抗値を小さくする必要がある。図 1 4 に示すように特にソース信号ライン 1 0 0 4 は液晶パネル 9 0 1 の上部から下部までつながっているため、元々その配線容量 1 0 0 7 は比較的大きい。しかし、

上記抵抗分割回路の各抵抗値を小さくすることにより、この抵抗分割回路に常時大きな電流を流し続けねばならず、これは無効電流となって消費電力の増大を招来する。

【 0 0 6 6 】

また、液晶パネル（液晶表示素子）901へ印加する液晶駆動電圧の極性を反転すると、液晶表示素子の特性によっては γ 補正特性が変わる場合がある。そして、この対策として、基準電圧発生回路1309の他の（極性反転前には未使用の）中間調電圧入力端子より所望の電圧を入力する構成とすれば、ICチップ（ここではソースドライバIC）上に中間調電圧入力端子数に応じたパッド（電極）が新たに必要となる。そして、これらのパッドを配置可能とするためには、ICチップのチップ面積の増大を招来する。

【 0 0 6 7 】

また、上記のように、参照電圧 V'_8 、 V'_{16} 、…、 V'_{48} 、 V'_{56} （中間電圧と称する場合もある）用の中間電圧用入力端子を利用する場合、図13に示す液晶表示装置の液晶駆動電源905には、上記参照電圧 V'_8 、…、 V'_{56} を供給するための中間電圧供給回路が別途必要となる。また、これら参照電圧 V'_8 、…、 V'_{56} を低インピーダンス出力で供給する必要があることから出力部のトランジスタ等が大きくなる。そしてこれらの要因は、液晶駆動電源905の一層の大型化を招来する。

【 0 0 6 8 】

さらに、上記中間電圧を利用する場合には、液晶駆動電源905と各ソースドライバICとを電氣的に接続する多数の中間電圧用配線が別途必要となり、これに由来する配線領域の増大が液晶表示装置のより一層の大型化を招来する。

【 0 0 6 9 】

加えて、上記中間電圧用配線が多数必要となれば、配線引き回しの困難性が増す。その結果、これら中間電圧用配線に、ソースドライバのクロック等から飛込みノイズが印加されて液晶表示装置の表示品位が低下する虞も増大する。

【 0 0 7 0 】

一方、図25に示す回路構成では、上記出力回路1307に相当するバッファ

回路 1 3 1 0 を、一つのソースドライバ I C 内のみに設置される共用の基準電圧発生回路 1 3 0 9 の階調表示用電圧の各出力段に配置することで、図 2 3 に示す構成と比較して低消費電力化を図っている。さらに、図 2 4 に示す構成と比較して基準電圧発生回路 1 3 0 9 内の抵抗分割回路の各抵抗値を高くすることが可能となり、無効電流の低減化も実現している。

【 0 0 7 1 】

しかし、図 2 5 に示すような回路構成では、例えば 6 4 階調表示に対応可能とする場合（図 1 8 参照）、基準電圧発生回路 1 3 0 9 の階調表示用電圧（電圧 $V_0 \sim V_{63}$ ）の出力段の各々に計 6 4 個のバッファ回路 1 3 1 0 を設置するか、あるいは、8 階調表示分毎の取りだし部、即ち参照電圧 $V'_0 \sim V'_{56}$ それぞれが入力される 8 つの中間調電圧入力端子と抵抗分割手段との間に設けられた 8 ラインそれぞれにバッファ回路 1 3 1 0 を設置する必要がある。つまり、この回路構成でも、表示すべき階調数、もしくは該階調数に比例した複数個のバッファ回路 1 3 1 0 が必要とされる。

【 0 0 7 2 】

ところで、近年、携帯端末等に組み込まれる小型かつ電池駆動の液晶表示装置においても、特に高品位画像を実現するため T F T 方式が積極的に採用されており、その応用展開をさらに推し進めるために、その駆動装置のさらなる低消費電力化が求められている。その結果、消費電力の比較的大きな上記出力回路 1 3 0 7 やバッファ回路 1 3 1 0 の設置数をより少なくし、かつ、基準電圧発生回路 1 3 0 9 に常時大きな電流を流し続けることなく安定した階調表示が可能な駆動回路の開発が切望されていた。

【 0 0 7 3 】

本発明は、上記の問題点を解決するためになされたもので、その目的は、例えば、抵抗分割回路を含んで構成される階調電源（基準電圧発生手段）から、D A コンバータ（D A 変換回路）等の選択手段を介して階調表示素子の負荷容量を充電する場合に、バッファ回路（バッファ手段）などの低出力インピーダンス回路を介した急速な充電と、介さない低消費電力な充電とを切り換え実施する階調表示用電圧発生装置と、それを備えた階調表示装置を提供することである。さらに

は、上記低出力インピーダンス回路を介して選択手段に出力される階調表示用の電圧の種類を、順次、時分割的に切り換えることにより、所望の電圧を正確かつ低消費電力で出力する階調表示用電圧発生装置と、それを備えた階調表示装置を提供することにある。

【 0 0 7 4 】

【課題を解決するための手段】

本発明に係る階調表示用電圧発生装置は、上記の課題を解決するために、表示データのビット数に応じた複数種の階調表示用の電圧を生成する基準電圧発生手段と、上記複数種の階調表示用の電圧から、上記表示データに応じた電圧を選択して階調表示素子に出力する選択手段とを備えた階調表示用電圧発生装置において、上記基準電圧発生手段の出力段（電圧取り出し部）と選択手段の入力段との間には、上記基準電圧発生手段より低出力インピーダンスな一つ以上のバッファ手段と、上記基準電圧発生手段の出力段、バッファ手段、並びに選択手段の入力段の3者間の接続状態を切り換えることにより、上記階調表示用の電圧それぞれを基準電圧発生手段から選択手段に出力する際に、バッファ手段を介して行うか、または介さずに行うかを選択可能とするスイッチング手段とが設けられており、さらに、上記階調表示素子の階調表示の状態に応じて、上記スイッチング手段の切り換え動作を制御する制御手段Aを含んでなることを特徴としている。

【 0 0 7 5 】

上記の構成によれば、基準電圧発生手段から選択手段への階調表示用の電圧の出力を、低出力インピーダンスな上記バッファ手段を介して、または介さずに行うことができる。例えば、上記バッファ手段を介して階調表示用の電圧を出力すれば、液晶パネルやプラズマディスプレイパネルなどの階調表示素子の負荷容量（画素容量など）への急速な充電が実現可能となる（充電時間が短縮できる）。

【 0 0 7 6 】

一方、上記負荷容量への充電が完了し、定常状態に達している場合などには、消費電力が比較的大きなバッファ手段を介することなく上記階調表示用の電圧を選択手段に出力し、これにより階調表示用電圧発生手段の消費電力をより低減することが可能となる。

【 0 0 7 7 】

すなわち、階調表示動作の状態に応じて、上記選択手段への階調表示用の電圧の急速な供給、または、低消費電力な供給を選択可能な階調表示用電圧発生装置を提供することが可能となる。

【 0 0 7 8 】

本発明に係る階調表示用電圧発生装置は、上記の構成において、上記基準電圧発生手段の出力段には、各階調表示用の電圧を別々に出力するために、該階調表示用の電圧の種類数と同数の出力端子が設けられており、上記制御手段 A は、階調表示の状態に応じて、上記バッファ手段の入力が上記出力端子それぞれに時分割で接続されるようにスイッチング手段の切り換え動作を制御するものであってよい。ここで、より好ましくは、上記バッファ手段の数を、上記出力端子の数より少なく設定する。

【 0 0 7 9 】

上記の構成によれば、基準電圧発生手段が備える複数の出力端子間で、上記バッファ手段が共用される。つまり、出力端子毎にバッファ手段を設ける必要などがなくなり、比較的消費電力の大きなバッファ手段の設置数を低減することができる。

【 0 0 8 0 】

また、動作制御のし易さなどの理由により、上記の構成において、上記制御手段 A を介して上記スイッチング手段の切り換え動作を制御することにより、上記各バッファ手段の入力に時分割で接続される上記出力端子を、電圧レベルの（最も）低い階調表示用の電圧を出力する出力端子から、順次電圧レベルのより高い階調表示用の電圧を出力する出力端子へと切り換える、または、電圧レベルの（最も）高い階調表示用の電圧を出力する出力端子から、順次電圧レベルのより低い階調表示用の電圧を出力する出力端子へと切り換える動作を行ってもよい。

【 0 0 8 1 】

本発明に係る階調表示用電圧発生装置は、上記の構成において、上記選択手段の入力段には、複数の入力端子（一般には、階調表示用の電圧の種類数と同数）が設けられており、上記制御手段 A は、階調表示の動作状態に応じて、上記バッ

ファ手段の出力が上記入力端子の1つ以上と同時に接続されるように上記スイッチング手段を切り換えて、この入力端子に上記階調表示用の電圧のいずれか一つを供給し、次いで、上記バッファ手段の出力に接続された上記入力端子の電位が、供給されている階調表示用の電圧の電圧レベルに到達すると、該電圧レベルに到達した入力端子をバッファ手段の出力から切り離し、この階調表示用の電圧（バッファ手段を介して供給されていたものと略同レベルのもの）をバッファ手段を介さず供給するよう上記スイッチング手段を切り換える動作を行ってもよい。

【0082】

上記の構成によれば、上記バッファ手段を介して階調表示用の電圧が供給される上記入力端子の電位が、該電圧のレベルに到達すると、順次、該入力端子がバッファ手段の出力から切り離されて共通の基準電圧発生手段に接続される。これにより、充電が完了した定常状態を、低消費電力かつ安定に維持することが可能となる。なお、バッファ手段の出力から切り離される入力端子は、該入力端子に供給すべき階調表示用の電圧の電圧レベルに到達した（すなわち充電が完了した）少なくとも一つの端子である。

【0083】

例えば、上記階調表示用の電圧が常時バッファ手段を介して出力されるとすれば、該電圧には、バッファ手段のオフセットバラツキ（すなわち、バッファ手段の入力段の差動部の特性バラツキの影響により出力段に現れるオフセットバラツキ）などの影響が現れて、バッファ手段への入力時と出力時とで電圧差（入出力偏差）が生じる場合がある。このような入出力偏差は、充電時には特に問題とならないが、充電された電圧レベルを維持する際に発生すれば、階調表示素子の表示動作が正確に行われない一因となりうる。

【0084】

そこで、充電完了後には、バッファ手段を介さずに、共通の基準電圧発生手段から上記階調表示用の電圧を供給する。このようにして供給される階調表示用の電圧にはもちろん、バッファ手段のオフセットバラツキ等に起因する上記入出力偏差がなく、充電を完了した定常状態を安定に維持可能となる。また、定常状態を維持する際にバッファ手段を介した電圧の供給が行われないので、上記オフセ

ットバラツキに従来ほど注意を払うことなくバッファ手段の設計を行うことができ、小型化することなどもより容易となる。これにより、例えば、上記階調表示用電圧発生装置をなす回路構成を1チップ内に形成する場合、そのICチップの面積をより小さくできる。

【0085】

なお、いうまでもないが全ての階調表示用の電圧の充電が完了した場合などには、上記バッファ手段は必要がなくなるので、その動作電流を無くすようにすることがより好ましい。

【0086】

本発明に係る階調表示用電圧はまた、上記の構成において、上記基準電圧発生手段を複数個備え、これら基準電圧発生手段が生成する上記複数種の階調表示用の電圧は、基準電圧発生手段毎に異なっており、さらに、使用する基準電圧発生手段を切り換える切換手段と、上記階調表示素子の階調表示の状態に応じて、上記切換手段の切り換え動作を制御する制御手段Bとを含んでなる構成であってもよい。

【0087】

例えば、階調表示素子として液晶パネル（液晶表示素子）などを採用する場合には、液晶駆動電圧を周期的に正極性と負極性との間で切り換える交流駆動が行われる。このとき、正極性駆動時と負極性駆動時とで γ 補正特性が異なれば、液晶表示素子に供給される上記複数種の階調表示用の電圧として、異なる種類の電圧（複数種の階調表示用の電圧のうち少なくとも一部の電圧レベルが異なればよい）を用意する必要が生じる。

【0088】

上記の構成によれば、上記複数個の基準電圧発生手段の一つを正極性駆動時用の基準電圧発生手段とし、他の一つを負極性駆動時用の基準電圧発生手段とすることで、例えば、正極性駆動時と負極性駆動時とで γ 補正特性が異なる液晶表示素子などに対しても、画素容量への充電時間の短縮と低消費電力性の両立を損なうことなく実現可能な階調表示用電圧発生装置を提供することができる。

【0089】

なお、より一層の低消費電力化や回路構成の簡素化を実現するために、複数個の上記基準電圧発生手段は、上記バッファ手段、スイッチング手段、及び制御手段Aを互いに共用するものであることがより好ましく、また、上記制御手段Aと制御手段Bとは同一の制御手段であっても、異なる制御手段であってもよい。

【 0 0 9 0 】

また、本発明に係る階調表示用電圧発生装置において、上記基準電圧発生手段は、上記複数種の階調表示用の電圧の一部を生成する基準電圧発生ブロックが複数個集合して構成されており、さらに、上記バッファ手段が上記基準電圧発生ブロック毎に設けられていることがより好ましい。

【 0 0 9 1 】

上記の構成によれば、上記制御手段Aにより、上記基準電圧発生ブロックそれぞれのバッファ手段との接続動作を独立して制御可能となる。その結果、基準電圧発生ブロック毎に設けられたバッファ手段を使用されるタイミングでのみ動作させることができ、画素容量への充電時間の短縮を図りつつ、より一層の低消費電力化を実現可能となる。

【 0 0 9 2 】

さらにまた、本発明に係る階調表示用電圧発生装置において、上記基準電圧発生手段は2種の参照電圧のみが入力可能に構成されており、上記2種の参照電圧から上記複数種の階調表示用の電圧を生成することがより好ましい。

【 0 0 9 3 】

上記の構成によれば、階調表示用電圧発生装置の回路構成をより簡素化可能となる。特に、基準電圧発生手段に上記参照電圧を供給するための配線数が比較的少なく済み、その引き回しが容易となるので、これら配線にノイズが印加されて階調表示素子の表示品位が低下する虞をより一層低減可能となる。なお、階調表示素子として正極性駆動時と負極性駆動時とで γ 補正特性が異なる液晶パネルなどを採用する場合には、既に説明したように、異なる階調表示用の電圧を生成可能な上記複数個の基準電圧発生手段の一つを正極性駆動時用とし、他の一つを負極性駆動時用として、これら基準電圧発生手段間で上記2種の参照電圧を共通に利用するようにすればよい。

【 0 0 9 4 】

本発明に係る階調表示用電圧発生装置は、上記の課題を解決するために、表示データのビット数に応じた複数種の階調表示用の電圧を生成する基準電圧発生手段と、上記複数種の階調表示用の電圧から、上記表示データに応じた電圧を選択して階調表示素子に出力する選択手段とを備えた階調表示用電圧発生装置において、上記基準電圧発生手段よりも低出力インピーダンスで、かつ、上記複数種の階調表示用の電圧を生成するために設けられる一つ以上の電圧発生手段と、上記複数種の階調表示用の電圧それぞれを、上記基準電圧発生手段から選択手段に出力するか、または、上記低出力インピーダンスな電圧発生手段から選択手段に出力するかを切り換えるスイッチング手段と、上記階調表示素子の階調表示の状態に応じて、上記スイッチング手段の切り換え動作を制御する制御手段Aと、を含んでなることを特徴としている。

【 0 0 9 5 】

上記の構成によれば、選択手段への階調表示用の電圧の出力を、低出力インピーダンスな上記電圧発生手段を介して、または上記基準電圧発生手段を介して行うことができる。例えば、上記低出力インピーダンスな上記電圧発生手段を介して階調表示用の電圧を出力すれば、液晶パネルやプラズマディスプレイパネルなどの階調表示素子の負荷容量への急速な充電が実現可能となる。

【 0 0 9 6 】

一方、上記負荷容量への充電が完了し、定常状態に達している場合などには、消費電力が比較的大きな低出力インピーダンスな電圧発生手段を介することなく、上記基準電圧発生手段から上記階調表示用の電圧を選択手段に出力し、これにより階調表示用電圧発生手段の消費電力をより低減することが可能となる。

【 0 0 9 7 】

すなわち、階調表示動作の状態に応じて、上記選択手段への階調表示用の電圧の急速な供給、または、低消費電力な供給を選択可能な階調表示用電圧発生装置を提供することが可能となる。

【 0 0 9 8 】

本発明に係る階調表示用電圧発生装置はまた、上記の構成において、上記制御

手段 A を介して上記スイッチング手段の切り換え動作を制御することにより、上記低出力インピーダンスな電圧発生手段から選択手段に出力する上記階調表示用の電圧の種類を時分割で切り換える動作を行っても良い。

【 0 0 9 9 】

さらには、上記低出力インピーダンスな電圧発生手段それぞれから選択手段に出力する上記階調表示用の電圧の種類を、電圧レベルの（最も）低い階調表示用の電圧から、順次電圧レベルのより高い階調表示用の電圧へと切り換える、または、電圧レベルの（最も）高い階調表示用の電圧から、順次電圧レベルのより低い階調表示用の電圧へと切り換える動作を行ってもよい。

【 0 1 0 0 】

本発明に係る階調表示用電圧発生装置は、上記の構成において、上記選択手段の入力段には、複数の入力端子が設けられており、上記制御手段 A は、階調表示の動作状態に応じて、上記低出力インピーダンスな電圧発生手段が上記入力端子の 1 つ以上と同時に接続されるように上記スイッチング手段を切り換えて、この入力端子に上記階調表示用の電圧のいずれか一つを供給し、次いで、上記低出力インピーダンスな電圧発生手段に接続された上記入力端子の電位が、供給されている階調表示用の電圧の電圧レベルに到達すると、該電圧レベルに到達した入力端子を低出力インピーダンスな電圧発生手段から切り離し、この階調表示用の電圧を上記基準電圧発生手段から供給するように上記スイッチング手段を切り換える動作を行ってもよい。

【 0 1 0 1 】

上記の構成によれば、上記低インピーダンスな電圧発生手段を介して階調表示用の電圧が供給される上記入力端子の電位が、該電圧のレベルに到達すると、順次、該入力端子が上記電圧発生手段から切り離されて共通の基準電圧発生手段に接続される。これにより、充電が完了した定常状態を低消費電力かつ、安定に維持することが可能となる。なお、電圧発生手段から切り離される入力端子は、該入力端子に供給すべき階調表示用の電圧の電圧レベルに到達した（すなわち充電が完了した）少なくとも一つの端子である。

【 0 1 0 2 】

なお、いうまでもないが全ての階調表示用の電圧の充電が完了した場合などには、上記低出力インピーダンスな電圧発生手段は必要がなくなるので、例えば、スイッチング手段の切り換え動作により、そこへの電流供給を無くすようにすることがより好ましい。

【0103】

本発明に係る階調表示用電圧発生装置はまた、上記の構成において、上記基準電圧発生手段と一つ以上の電圧発生手段とを含んでなる基準電圧発生ユニットを複数個備え、これら基準電圧発生ユニットが生成する上記複数種の階調表示用の電圧は、基準電圧発生ユニット毎に異なっており、さらに、使用する基準電圧発生ユニットを切り換える切換手段と、上記階調表示素子の階調表示の状態に応じて、上記切換手段の切り換え動作を制御する制御手段Bとを含んでなる構成であってもよい。

【0104】

上記の構成によれば、上記複数個の基準電圧発生ユニットの一つを正極性駆動時用の基準電圧発生ユニットとし、他の一つを負極性駆動時用の基準電圧発生ユニットとすることで、例えば、正極性駆動時と負極性駆動時とで γ 補正特性が異なる液晶表示素子などに対しても、画素容量への充電時間の短縮と低消費電力性との両立を損なうことなく実現可能な階調表示用電圧発生装置を提供することができる。

【0105】

なお、より一層の低消費電力化や回路構成の簡素化を実現するために、複数個の上記基準電圧発生ユニットは、上記スイッチング手段、及び制御手段Aを互いに共用するものであることがより好ましく、また、上記制御手段Aと制御手段Bとは同一の制御手段であっても、異なる制御手段であってもよい。

【0106】

本発明に係る階調表示用電圧発生装置はまた、上記の構成において、上記基準電圧発生手段は、上記複数種の階調表示用の電圧の一部を生成する基準電圧発生ブロックが複数個集合して構成されており、さらに、上記低出力インピーダンスな電圧発生手段が上記基準電圧発生ブロック毎に設けられている構成であること

がより好ましい。

【0107】

上記の構成によれば、上記基準電圧発生ブロックと低出力インピーダンスな電圧発生手段とを一組として、制御手段Aにより各組の動作を独立して制御可能となる。その結果、基準電圧発生ブロック毎に設けられた低出力インピーダンスな電圧発生手段を使用されるタイミングでのみ動作させることができ、画素容量への充電時間の短縮を図りつつ、より一層の低消費電力化を実現可能となる。

【0108】

本発明に係る階調表示用電圧発生手段はまた、上記の構成において、上記基準電圧発生手段と一つ以上の電圧発生手段とを含んでなる基準電圧発生ユニットは、2種の参照電圧のみが入力可能に構成されており、上記2種の参照電圧から上記複数種の階調表示用の電圧を生成することがより好ましい。

【0109】

上記の構成によれば、階調表示用電圧発生装置の回路構成をより簡素化可能となる。特に、基準電圧発生ユニットに上記参照電圧を供給するための配線数が比較的少なく済み、その引き回しが容易となるので、これら配線にノイズが印加されて階調表示素子の表示品位が低下する虞をより一層低減可能となる。なお、階調表示素子として正極性駆動時と負極性駆動時とで γ 補正特性が異なる液晶パネルなどを採用する場合には、既に説明したように、異なる階調表示用の電圧を生成可能な上記複数個の基準電圧発生ユニットの一つを正極性駆動時用とし、他の一つを負極性駆動時用として、これら基準電圧発生ユニット間で上記2種の参照電圧を共通に利用するようにすればよい。

【0110】

本発明にかかる階調表示装置は、上記の課題を解決するために、上記いずれかの構成の階調表示用電圧発生装置と、上記階調表示用電圧発生装置から階調表示用の電圧が供給されて階調表示を行う階調表示素子とを含んでなることを特徴としている。

【0111】

上記の構成によれば、液晶パネルやプラズマディスプレイパネルなどの階調表

示素子上に、表示データに応じた階調表示を高速かつ低消費電力で行うことができる階調表示装置を提供可能となる。

【0 1 1 2】

【発明の実施の形態】

〔実施の形態 1〕

本発明の実施の一形態について、図面に基づいて説明すれば以下の通りである。なお、言うまでもないが、本願発明は、特に本実施の形態に記載の範囲のみに限定されるものではない。

【0 1 1 3】

図 2 に示すのは、本発明にかかる階調表示用電圧発生装置（階調表示用電圧発生回路）を備えてなる T F T 方式の液晶表示装置（階調表示装置）のブロック構成であり、対向電極 9 6、ソース信号ライン、ゲート信号ラインなどを備え表示部として機能する液晶パネル 9 1 と、表示データ D および制御信号 S 1・S 2 を生成するコントローラ 9 4 と、表示データ D および制御信号 S 1 の入力に応じてソース信号ラインに階調表示用電圧を供給するソースドライバ（各ソースドライバ I C）9 2 と、制御信号 S 2 の入力に応じてゲート信号ラインを動作させ、階調表示用電圧の各画素への書き込みを制御するゲートドライバ（各ゲートドライバ I C）9 3 とを備えてなる。

【0 1 1 4】

その基本構成は図 1 3 にて示した従来構成とほぼ同一であるが、本実施の形態では、コントローラ 9 4 から各ソースドライバ（ソースドライバ I C）9 2 へ供給される制御信号 S 1 として、基準電圧発生回路から D A 変換回路への基準電圧出力状態を時分割的に切り換えるための、切り換え制御信号 S W（後述する）が加わっている点で図 1 3 に示すものと相違がある。以下では、主に、本発明の階調表示用電圧発生装置をなすソースドライバ 9 2 について説明を行う。

【0 1 1 5】

ソースドライバ（各ソースドライバ I C）9 2 は、図 1 にその概略回路構成を示すように、入力ラッチ回路 3 1 と、シフトレジスタ回路 3 2 と、サンプリングメモリ回路 3 3 と、ホールドメモリ回路 3 4 と、レベルシフタ回路 3 5 と、基準

電圧発生回路（基準電圧発生手段）38と、DA変換回路（選択手段）36とを備えた構成（図17に示すものと同等）において、さらに、基準電圧発生回路38からDA変換回路36への基準電圧出力状態を時分割的に切り換えるための、切り換え制御回路部（切り換え制御手段）39を含んでなっている。

【0116】

図2に示すコントローラ94から転送されてきた各デジタル表示データDR・DG・DB（例えば各6ビット）は、一旦、入力ラッチ回路31でラッチされる。なお、各デジタル表示データDR・DG・DBは、それぞれ赤、緑、青の表示データに対応し、図2中、表示データDとして総称されているものである。

【0117】

一方、上記コントローラ94から転送されてきたスタートパルス信号SPは、クロック信号CKに同期を取り、シフトレジスタ回路32内を転送され、該シフトレジスタ回路32の最終段から次段のソースドライバにスタートパルス信号SP（カスケード出力信号S）として出力される。

【0118】

このシフトレジスタ回路32の各段からの出力信号に同期して、先の入力ラッチ回路31にてラッチされたデジタル表示データDR・DG・DBは、時分割でサンプリングメモリ回路33内に一旦記憶されると共に、次のホールドメモリ回路34に出力される。

【0119】

1 水平同期期間の表示データがサンプリングメモリ回路33に記憶されると、ホールドメモリ回路34は、上記のコントローラ94から供給される水平同期信号（ラッチ信号Ls）に基づいてサンプリングメモリ回路33からの出力信号を取り込み、次のレベルシフタ回路35に出力すると共に、次の水平同期信号が入力されるまでその表示データを維持する。

【0120】

レベルシフタ回路35は、液晶パネルへの印加電圧レベルを処理する次段のDA変換回路36に適合させるため、ホールドメモリ回路34から供給された出力信号の信号レベルを昇圧等により変換する回路である。基準電圧発生回路38は

、図2に示す液晶駆動電源95からの複数の参照電圧VRに基づき、階調表示用の各種アナログ電圧（階調表示用の電圧、以下、階調表示用電圧と称する場合もある）を発生させ、DA変換回路36に出力する。

【0121】

なお、基準電圧発生回路38とDA変換回路36との間には、切り換え制御回路部39が電氣的に接続されており、上記基準電圧発生回路38からDA変換回路36への上記アナログ電圧（階調表示用電圧）の出力状態を切り換え可能となっているが、この特徴点についての詳細は後述する。

【0122】

DA変換回路36は、基準電圧発生回路38から供給される各種アナログ電圧から、レベルシフタ回路35にてレベル変換された表示データに応じたアナログ電圧を選択する。ここで、DA変換回路36の各出力段は直接的に（そのまま）液晶駆動用電圧出力端子（以下、単に出力端子と記載する）を介して液晶パネル91（図2参照）の対応するソース信号ラインと接続される構成となっている。つまり、上記ソースドライバ92では、従来、各出力端子37に対応して設けられていた出力回路に相当する回路が設けられてはならず、DA変換回路36からの出力が直接液晶パネルに供給される構成となっている。

【0123】

上記の基準電圧発生回路38、切り換え制御回路部39、並びにDA変換回路36は、DA変換器を構成している。液晶表示装置においては、このDA変換器を用いて液晶駆動回路（ソースドライバ）を構成することで、液晶パネルに表示するデジタルデータ（表示データDR、DG、DB）をDA変換器によりDA変換して、各液晶表示素子に印加するようになっているとも言える。

【0124】

次に、本発明の特徴点の一つである切り換え制御回路部39の詳細と、該切り換え制御回路部39に階調表示用電圧を出力する基準電圧発生回路38の構成とについて、図面を参照しながら説明する。なお、以下では、デジタル表示データDR・DG・DBが各々6ビットで構成されている例をもって説明する。

【0125】

図 3 に示すように、上記基準電圧発生回路 3 8 は、入力される複数の参照電圧（ここでは $V'_0, V'_8, V'_{16}, V'_{24}, V'_{32}, V'_{40}, V'_{48}, V'_{56}, V'_{64}$ の 9 種類）から、 n ビット（ここでは 6 ビット）の表示データに応じた 2^n 種類（ここでは互いに電圧レベルの異なる 64 種類）の階調表示用電圧 $V_0 \sim V_{63}$ を発生させ、この階調表示用電圧を切り換え制御回路部 3 9 側に出力する構成であり、基本的には従来公知のものを採用可能である。ここでは、図 2 0 に示したものと同様、8 つの抵抗 $R_0 \sim R_7$ （それぞれが基準電圧発生ブロックに相当する）が直列に接続された抵抗分割回路からなる、最も簡単な構成を例に挙げて説明する。

【 0 1 2 6 】

なお、説明の便宜上、上記階調表示用電圧 $V_0 \sim V_{63}$ は、 $V_0, V_1, \dots, V_{62}, V_{63}$ の順に電圧レベルが大きくなるものとし、必要に応じてこれらの電圧レベルを順に、 $V_0, V_1, \dots, V_{62}, V_{63}$ で表すこともある。また、上記参照電圧は、 $V'_0, V'_8, \dots, V'_{56}, V'_{64}$ の順に電圧レベルが大きくなるものとし、必要に応じてこれらの電圧レベルを順に、 $V'_0, V'_8, \dots, V'_{56}, V'_{64}$ で表すこともある。

【 0 1 2 7 】

図 2 0 に示す構成と同様に、上記の抵抗 $R_0 \sim R_7$ のそれぞれは、8 本の抵抗素子が直列に接続されてなっている。例えば、抵抗 R_7 について説明すれば、図 4 に示すように、8 本の抵抗素子 $R_{71}, R_{72}, \dots, R_{78}$ がこの順に直列接続されて抵抗 R_7 が構成されている。また、他の抵抗 $R_0 \sim R_6$ についても上記した抵抗 R_7 と同様の構成である。したがって、基準電圧発生回路 3 8 は、合計 64 本の抵抗素子が直列接続されて構成されていることになる。なお、抵抗 $R_0 \sim R_7$ の抵抗値はそれぞれ、 γ 補正等を考慮して設計すればよい。

【 0 1 2 8 】

また図 4 に示すように、基準電圧発生回路 3 8 の出力段と DA 変換回路 3 6 の入力段との間には、25 個のアナログスイッチ（スイッチング手段）回路 1 0 1 \sim 1 2 5 およびバッファ回路（バッファ手段）1 2 6 からなるバッファ回路ブロック 4 1' が電氣的に挿入されており、さらに、上記アナログスイッチ回路 1 0

1 ～ 1 2 5 のオン／オフ動作を独立に切り換えるためのアナログスイッチ制御回路部 4 0 が設けられている。

【 0 1 2 9 】

なお、図 4 に示す基準電圧発生回路 3 8 は全体の $1/8$ (図 3 の抵抗 R_7 に相当する部分) のみを示すものである。すなわち、上記バッファ回路ブロック 4 1' は、基準電圧発生回路 3 8 をなす抵抗の一つである抵抗 R_7 (基準電圧発生ブロックの一つ) に対応して設けられるものであり、図示しないが、該バッファ回路ブロック 4 1' と同様の構成は、基準電圧発生回路をなす他の 7 つの抵抗 $R_0 \sim R_6$ それぞれに対応して一つずつ設けられている。また、図 1 に示すバッファ回路部 4 1 は、これら 8 つのバッファ回路ブロック 4 1' を含んで構成されている。さらに、バッファ回路部 4 1 とアナログスイッチ制御回路部 4 0 とにより、上記切り換え制御回路部 3 9 が構成されている。

【 0 1 3 0 】

また、アナログスイッチ制御回路部 4 0 はソースドライバ 9 2 中に一つのみ設けられて全てのバッファ回路ブロック 4 1' 間で共有されていてもよく、各バッファ回路ブロック 4 1' 毎に設けられてもよい。なお、バッファ回路ブロック 4 1' の動作は、対応する基準電圧発生ブロック (抵抗 $R_0 \sim R_7$ のいずれか) に関わらず基本的に共通であり、以下、特に抵抗 R_7 に対応するバッファ回路ブロック 4 1' の動作に着目して説明を行う。

【 0 1 3 1 】

上記アナログスイッチ制御回路部 4 0 によるアナログスイッチ回路 1 0 1 ～ 1 2 5 のオン／オフ切り換えは、切り換え制御信号 SW に応じて制御される。この切り換え制御信号 SW は、例えば、液晶表示装置のコントローラ 9 4 が液晶パネルの階調表示動作の状態 (ゲート信号ラインやソース信号ラインの駆動状況など) に応じて生成するものである。

【 0 1 3 2 】

コントローラ 9 4 から切り換え制御信号 SW が入力されると、該アナログスイッチ制御回路部 (ここでは制御手段 A として機能) 4 0 は、この入力信号に基づいて、上記アナログスイッチ回路 1 0 1 ～ 1 2 5 のそれぞれに対し、そのオン／

オフ動作を決定する出力信号（制御信号）を供給する。その結果、2つの参照電圧 $V'_0 \cdot V'_8$ を8本の抵抗素子 R_{71} 、 R_{72} 、 \dots 、 R_{78} で抵抗分割することにより各抵抗素子 R_{71} 、 R_{72} 、 \dots 、 R_{78} 間から引き出された8種類の階調表示用電圧 V_0 、 V_1 、 \dots 、 V_7 が、対応する8本の出力端子 OT_0 、 OT_1 、 \dots 、 OT_7 をそれぞれ介してバッファ回路ブロック41'に入力され、アナログスイッチ回路101～125の動作状態に応じて選択される、DA変換回路の8本の入力端子 IT_0 、 IT_1 、 \dots 、 IT_7 を介して該DA変換回路36内に出力される。

【0133】

この際、上記階調表示用電圧 V_0 、 V_1 、 \dots 、 V_7 のすべてがDA変換回路36側に出力される場合もあるし、一部のみが出力される場合もある。また、階調表示用電圧 V_0 、 V_1 、 \dots 、 V_7 の少なくとも一部が、基準電圧発生回路38の上記出力端子 OT_0 、 OT_1 、 \dots 、 OT_7 と、入力端子 IT_0 、 IT_1 、 \dots 、 IT_7 との間に設けられたバッファ回路（バッファ手段）126に入力され、そこで低インピーダンス出力された後にDA変換回路36側に出力される場合もある。このような階調表示用電圧 V_0 、 V_1 、 \dots 、 V_7 の様々な出力状態は、各アナログスイッチ回路101～125の動作状態によって決定されるが、その詳細については後述する。

【0134】

なお、従来の構成では、上記出力端子 OT_0 、 OT_1 、 \dots 、 OT_7 と、対応する入力端子 IT_0 、 IT_1 、 \dots 、 IT_7 とがアナログスイッチ回路などを介さずに直接接続されており、階調表示用電圧 V_0 、 V_1 、 \dots 、 V_7 全てがDA変換回路36にそのまま入力されていた。

【0135】

以下、バッファ回路126とアナログスイッチ回路101～125とからなるバッファ回路ブロック41'の回路構成、および動作タイミングなどについてより詳細に説明する。まずバッファ回路126であるが、例えば、差動増幅回路を用いたボルテージフォロア回路等で構成され、基準電圧発生回路38からの各階調表示用電圧の出力インピーダンスと比較して低出力インピーダンスな回路素子

を例示することができ、既存の技術で容易に構成可能である。また、その具体的な構成例については後述する。なお、以下の説明では、バッファ回路 1 2 6 の電圧ゲインをほぼ 1 と見なしているが、もちろんバッファ回路 1 2 6 の構成によっては異なる場合もある。

【 0 1 3 6 】

一方、基準電圧発生回路 3 8 から取り出された第 1 の階調表示用電圧 V_0 の、DA 変換回路 3 6 内への出力に関与する出力端子（電圧取り出し部） OT_0 、入力端子 IT_0 、並びに 3 つのアナログスイッチ回路 1 0 1・1 0 9・1 1 7 は、次のように接続されている。すなわち、上記出力端子 OT_0 はアナログスイッチ回路 1 0 1 及びアナログスイッチ回路 1 1 7 の各々の一方の端子と接続され、さらにアナログスイッチ回路 1 1 7 の他方の端子はアナログスイッチ回路 1 0 9 の一方の端子と接続されると共に、DA 変換回路 3 6 の入力端子 IT_0 と接続されている。

【 0 1 3 7 】

同様に、基準電圧発生回路 3 8 から取り出された第 2 の階調表示用電圧 V_1 の取り出し部（出力端子 OT_1 ）はアナログスイッチ回路 1 0 2 及びアナログスイッチ回路 1 1 8 の各々の一方の端子と接続され、さらにアナログスイッチ回路 1 1 8 の他方の端子はアナログスイッチ回路 1 1 0 の一方の端子と接続されると共に、DA 変換回路の入力端子 IT_1 と接続されている。

【 0 1 3 8 】

以下、1) DA 変換回路 3 6 側への第 3 の階調表示用電圧 V_2 の出力に関わる 3 つのアナログスイッチ回路 1 0 3・1 1 1・1 1 9、出力端子 OT_2 、並びに入力端子 IT_2 、2) 第 4 の階調表示用電圧 V_3 の出力に関わる 3 つのアナログスイッチ回路 1 0 4・1 1 2・1 2 0、出力端子 OT_3 、並びに入力端子 IT_3 、3) 第 5 の階調表示用電圧 V_4 の出力に関わる 3 つのアナログスイッチ回路 1 0 5・1 1 3・1 2 1、出力端子 OT_4 、並びに入力端子 IT_4 、4) 第 6 の階調表示用電圧 V_5 の出力に関わる 3 つのアナログスイッチ回路 1 0 6・1 1 4・1 2 2、出力端子 OT_5 、並びに入力端子 IT_5 、5) 第 7 の階調表示用電圧 V_6 の出力に関わる 3 つのアナログスイッチ回路 1 0 7・1 1 5・1 2 3、出力端

子 OT_6 、並びに入力端子 IT_6 はそれぞれ、同様の接続パターンに従って接続され、最後に第8の階調表示用電圧の取り出し部（出力端子 OT_7 ）はアナログスイッチ回路108及びアナログスイッチ回路124の各々の一方の端子と接続され、さらにアナログスイッチ回路124の他方の端子はアナログスイッチ回路116の一方の端子と接続されると共に、DA変換回路36の入力端子 IT_7 と接続されている。

【0139】

そして、一方の端子が、対応する8つの出力端子 $OT_0 \sim OT_7$ のいずれか一つと接続されている8つのアナログスイッチ回路101～108の他方の端子は互いに共通化され（すなわち共通の一配線上にこの順に接続され）、該配線的一端を介してバッファ回路126の入力端子、及びアナログスイッチ回路125の一方の端子と電氣的に接続されている。また、アナログスイッチ回路125の他方の端子は接地されている。

【0140】

さらに、一方の端子が、対応する8つの入力端子 $IT_0 \sim IT_7$ のいずれか一つと接続されている8つのアナログスイッチ回路109～116（図4中、黒丸印で示す）の他方の端子は共通化され（すなわち共通の一配線上にこの順に接続され）、該配線的一端を介してバッファ回路126の出力端子と電氣的に接続されている。

【0141】

なお、アナログスイッチ回路101～125は、MOSトランジスタや、トランスミッションゲート等で構成されるアナログスイッチを含んでなる回路であって、公知の技術で容易に作成可能である。また、アナログスイッチ回路101～125の導通もしくは非導通（オン／オフ）の制御は、アナログスイッチ制御回路部40が生成する制御信号を各アナログスイッチ回路の制御端子（図示せず）に入力することにより行い、該制御信号がハイレベルで導通、一方、ロウレベルで非導通となるものである。

【0142】

上記のアナログスイッチ制御回路部40は、例えば、シフトレジスタ回路およ

びゲート等で構成し、切り換え制御信号 SW として、リセット信号と転送信号とをコントローラ 9 4 から入力することで容易に構成できる。なお、いうまでもないが、バッファ回路 1 2 6、アナログスイッチ回路 1 0 1 ~ 1 2 5、並びにアナログスイッチ制御回路部 4 0 は、様々な構成で実現可能であり、特に本実施形態に記載の範囲内に限定されるものではない。

【 0 1 4 3 】

続いて、図 5 に示すアナログスイッチ回路 1 0 1 ~ 1 2 5 のオン／オフのタイミングチャートなどを参照しながら、切り換え制御回路部 3 9 の動作について説明を行う。なお、以下の説明は、図 4 に示す一つのバッファ回路ブロック 4 1' におけるアナログスイッチ回路 1 0 1 ~ 1 2 5 の切り換え動作のみを取り上げるものとするが、ソースドライバ 9 2 内に複数のバッファ回路ブロック 4 1' が設けられる場合には、それぞれ同様の動作が行われるものとする。また、説明の便宜上、8 種類の階調表示用電圧 $V_0 \sim V_7$ の電圧レベルは、この順に高くなる（昇順に並べられている）ものとする。

【 0 1 4 4 】

まず、図 5 の Phase 0 では、9 つのアナログスイッチ回路 1 0 1、1 0 9 ~ 1 1 6 を導通させ、他のアナログスイッチ回路は非導通の状態にする。なお、該図中、CS 1 0 1 ~ CS 1 2 5 は順に、アナログスイッチ回路 1 0 1 用制御信号 ~ アナログスイッチ回路 1 2 5 用制御信号を指している。この時のバッファ回路ブロック 4 1' の状態を模式化したものが図 6 (a) である。これにより、基準電圧発生回路 3 8 から DA 変換回路 3 6 への出力電圧として、まず、最も電圧レベルの低い第 1 の階調表示用電圧 V_0 が、バッファ回路 1 2 6 を介して出力される。

【 0 1 4 5 】

この第 1 の階調表示用電圧 V_0 は、デジタル表示データ DR・DG・DB に応じて DA 変換回路 3 6 により階調表示用電圧 $V_0 \sim V_7$ のいずれか 1 つの出力が選択されている液晶パネル 9 1 の画素全て（走査信号により TFT がオンしている画素）に出力され、これら複数の画素の、ソース信号ラインの配線容量を含む画素容量を、低出力インピーダンスなバッファ回路 1 2 6 を用いた充電により第

1 の階調表示用電圧 V_0 のレベルにまで急峻に立ち上げることができる（図 6（b）参照）。なお、DA 変換回路 3 6 における階調表示用電圧の選択動作は従来のもの（図 2 2 参照）と同様にデジタル表示データに応じて決定されるので、詳細な説明は省略する。

【 0 1 4 6 】

Phase 0 での充電が終了し、選択された画素の画素容量が第 1 の階調表示用電圧 V_0 のレベルに達した後、図 5 に示す Phase 1 に移る。ここでは、9 つのアナログスイッチ回路 1 0 2、1 1 0 ~ 1 1 7 を導通させ、他のアナログスイッチ回路は非導通の状態にする。この時のバッファ回路ブロック 4 1' の状態を模式化したものが図 7（a）である。

【 0 1 4 7 】

ここで、階調表示用電圧 V_0 の出力が選択されている画素（走査信号により TFT がオンしている画素）の画素容量は、Phase 0 を通じて既に所望の電圧レベル（ V_0 ）に達しており、該画素容量への新たな充電は不要である。ただ、この画素の TFT は 1 水平同期期間オン状態のため、その電圧レベル（ V_0 ）を維持する必要があるが、バッファ回路 1 2 6 を介さない高出力インピーダンス状態でも電圧レベルの安定はとれるので、アナログスイッチ回路 1 1 7 を導通させ、基準電圧発生回路 3 8 から取り出した階調表示用電圧 V_0 をそのまま DA 変換回路 3 6 側に出力させる。

【 0 1 4 8 】

一方、他の 7 つの入力端子（図 4 参照） $IT_1 \sim IT_7$ から DA 変換回路 3 6 内へは、上記バッファ回路 1 2 6 を介して、次に高いレベルの第 2 の階調表示用電圧 V_1 が出力される。この第 1 の階調表示用電圧 V_1 は、デジタル表示データ DR・DG・DB に応じて DA 変換回路 3 6 により階調表示用電圧 V_0 を除く $V_1 \sim V_7$ のいずれか 1 つの出力が選択されている画素全て（走査信号により TFT がオンしている画素）に出力され、これら複数の画素の、ソース信号ラインの配線容量を含む画素容量を、低出力インピーダンスなバッファ回路 1 2 6 を用いて先の V_0 レベルから V_1 レベルへ充電することにより、急峻に第 2 の階調表示用電圧 V_1 のレベルに立ち上げる（図 7（b）参照）。

【0149】

Phase 1での充電が終了し、選択された画素の画素容量が第2の階調表示用電圧 V_1 のレベルに達した後、図5に示すPhase 2に移る。ここでは9つのアナログスイッチ回路103、111～118を導通させ、他のアナログスイッチ回路は非導通の状態にする。

【0150】

ここで、階調表示用電圧 V_1 の出力が選択されている画素（走査信号によりTFTがオンしている画素）の画素容量は、Phase 1を通じて既に所望の電圧レベル（ V_1 ）に達しており、該画素容量への新たな充電は不要である。よって、その電圧レベル（ V_1 ）を維持するだけで良く、バッファ回路126を介さない高出力インピーダンス状態でも電圧レベルの安定はとれるので、アナログスイッチ回路118を導通させ、基準電圧発生回路38から取り出した階調表示用電圧 V_1 をそのままDA変換回路36側に出力させる。また、第1の階調表示用電圧 V_0 も同様に、アナログスイッチ回路117を介してそのままDA変換回路36側に出力される。

【0151】

一方、他の6つの入力端子（図4参照） $IT_2 \sim IT_7$ からDA変換回路36内へは、上記バッファ回路126を介して、次に高いレベルの第3の階調表示用電圧 V_2 が出力される。第3の階調表示用電圧 V_2 は、デジタル表示データに応じてDA変換回路36により階調表示用電圧 $V_0 \cdot V_1$ を除く $V_2 \sim V_7$ のいずれか1つの出力が選択されている画素全て（走査信号によりTFTがオンしている画素）に出力され、これら複数の画素の、ソース信号ラインの配線容量を含む画素容量を、低出力インピーダンスなバッファ回路を用いて先の V_1 レベルから V_2 レベルに充電することで、急峻に第3の階調表示用電圧 V_2 のレベルに立ち上げる。

【0152】

Phase 2での充電が終了し、選択された画素の画素容量が第3の階調表示用電圧 V_2 のレベルに達した後、図5に示すPhase 3～Phase 7へと同様の動作を続ける。例えば、Phase 3では9つのアナログスイッチ回路10

4、112～119のみを導通させることで、第4の階調表示用電圧 V_3 のみをバッファ回路126を介してDA変換回路36側に出力する一方、第1～第3の階調表示用電圧 $V_0 \sim V_2$ をバッファ回路126を介さずにそのまま出力する。

【0153】

次いで、Phase 4では9つのアナログスイッチ回路105、113～120のみを導通させることで、第5の階調表示用電圧 V_4 のみをバッファ回路126を介してDA変換回路36側に出力する一方、第1～第4の階調表示用電圧 $V_0 \sim V_3$ をバッファ回路126を介さずにそのまま出力する。また、Phase 5では9つのアナログスイッチ回路106、114～121のみを導通させることで、第6の階調表示用電圧 V_5 のみをバッファ回路126を介してDA変換回路36側に出力する一方、第1～第5の階調表示用電圧 $V_0 \sim V_4$ をバッファ回路126を介さずにそのまま出力する。さらに、Phase 6では9つのアナログスイッチ回路107、115～122のみを導通させることで、第7の階調表示用電圧 V_6 のみをバッファ回路126を介してDA変換回路36側に出力する一方、第1～第6の階調表示用電圧 $V_0 \sim V_5$ をバッファ回路126を介さずにそのまま出力する。

【0154】

このようにして、バッファ回路126を介して出力される階調表示用電圧のレベルを段階的に V_0 から V_6 へと立ち上げていき、Phase 7では、9つのアナログスイッチ回路108、116～123のみを導通させることで、最もハイレベルな第8の階調表示用電圧 V_7 のみをバッファ回路126を介してDA変換回路36側に出力する一方、第1～第7の階調表示用電圧 $V_0 \sim V_6$ をバッファ回路126を介さずにそのまま出力する（図8（a）など参照）。

【0155】

これにより、第8の階調表示用電圧 V_7 の出力が選択されている画素（走査信号によりTFTがオンしている画素）の画素容量を、 V_6 レベルから V_7 レベルに急峻に立ち上げる（図8（b）参照）。この時、階調表示用電圧 $V_0 \sim V_6$ を選択している画素ではすでに定常状態に達しており、画素容量への新たな充電は不要である。よって、各画素はそれぞれに書き込まれるべき電圧レベル（ $V_0 \sim$

V_6 の電圧) を各々維持するだけで良く、高インピーダンス状態でも電圧レベルの安定はとれるので、7つのアナログスイッチ回路117~123を導通させ、基準電圧発生回路38から取り出した階調表示用電圧 $V_0 \sim V_6$ を各々そのまま出力させている。

【0156】

第8の階調表示用電圧 V_7 の出力が選択されている液晶パネルの画素(走査信号によりTFTがオンしている画素)の画素容量(ソース信号ラインの配線容量も含む)への充電が終了し、その電圧レベルが V_7 の定常状態に達すると、Phase 8に移る。

【0157】

Phase 8の状態は、階調表示用電圧の供給による全画素容量への充電が終了し、その電圧レベルが階調表示用電圧 $V_0 \sim V_7$ のいずれかのレベルで定常状態に達しているものであり(図9(b)参照)、この時の回路の状態を示したものが図9(a)である。Phase 8では、アナログスイッチ回路117~125を導通させ、他のアナログスイッチ回路を非導通状態にする。

【0158】

これにより、バッファ回路126の入出力は基準電圧発生回路38及びDA変換回路36から切り離される。この結果、基準電圧発生回路38から取り出された電圧(階調表示用電圧) $V_0 \sim V_7$ が、バッファ回路126を介することなく直接、DA変換回路36側に出力されることになる。

【0159】

アナログスイッチ回路125を導通させることでバッファ回路126の入力端子を接地させるのは、例えばバッファ回路126の入力段がnMOSトランジスタの場合に、該トランジスタをオフさせてバッファ回路126の消費電力を低減し、かつ発振等を防止させるためであり、場合によっては電源電圧等他の電位に固定しても良い。

【0160】

尚、図4で示す回路ブロックが受け持つ8階調(階調表示用電圧 $V_0 \sim V_7$ に対応する階調)全てが定常状態になるまでの時間、すなわち図5に示すPhase

e 0 ~ Phase 8までの時間Tは、1走査時間（図18参照）以内であれば良い。例えば、図4に示す回路ブロックは、所定のゲート信号ライン G_1 が選択されている間（そこに入力される走査信号がハイレベルの間）に、DA変換回路36への出力電圧レベルを V_0 から V_7 へ段階的に立ち上げていき、該ゲート信号ライン G_1 が非選択になる前（走査信号がロウレベルになる前）に、8階調に対応した階調表示用電圧 $V_0 \sim V_7$ 全てが定常状態になるような動作（Phase 8での動作に相当）を行う。これにより、上記走査信号（ハイレベル）がゲートに入力されるTFTを持つ画素容量は各階調表示に必要な所定の電圧を充電し終え、続いて、該走査信号がロウレベルとなるとそのTFTはオフ状態になり、ハイレベルの走査信号が再びゲート信号ライン G_1 に入力されるまで、その電圧を保持する（図18参照）。

【0161】

次いで、上記ゲート信号ライン G_1 に隣接したゲート信号ライン G_2 へ入力される走査信号がハイレベルとなり、新たな画素容量が充電対象として選択される。このため、図4に示す回路ブロックは、再度、段階的に電圧を立ち上げていくことになる。以後、ゲート信号ライン $G_3 \sim G_n$ も同様の動作である。

【0162】

尚、ここでの説明は8階調に対応する階調表示用電圧 $V_0 \sim V_7$ の出力動作のみに限定しておこなっているが、すでに説明したように、図4は、64階調表示を行うための8つの回路ブロック（図3参照）の一つのみを示したものである。また、本実施の形態の一変形例として、階調表示用電圧 $V_0 \sim V_{63}$ に対応した64階調を1つの回路ブロックとみなし、ここにバッファ回路126を一つのみ設ける構成とすることもできる。この場合でも上記説明の要領で、64種類の階調表示用電圧 $V_0 \sim V_{63}$ を順次バッファ回路126を介してDA変換回路36側に出力すればよい。すなわち、特に回路ブロック数や、各回路ブロック内の階調数等は限定されるものではない。

【0163】

また、本実施の形態では、一つの回路ブロックが担当する階調表示用電圧 $V_0 \sim V_7$ を、その電圧レベルの小さいものから大きいものへと段階的にDA変換回

路 3 6 側に出力する例で説明を行ったが、特にこの出力方式に限定されるものではない。

【 0 1 6 4 】

すなわち、本発明では、液晶パネルの画素容量やソース信号ラインの配線容量（さらにはソースドライバ I C を搭載している T C P の配線容量等の付随する容量も含む）の大きな充電もしくは放電電流が必要な時のみ、低出力インピーダンスなバッファ回路を介して階調表示用電圧を出力して急峻な立ち上げ、または立ち下げ動作を実現し、一方、定常状態で大きな電流が不要、つまり高出力インピーダンス状態で良い時は、基準電圧発生回路から取り出した階調表示用電圧をバッファ回路を介することなく直接出力するという、出力状態の切り換えにその主眼を有する。

【 0 1 6 5 】

従って、バッファ回路を介して D A 変換回路 3 6 側に出力される階調表示用電圧のレベルを段階的に立ち下げても良いし、また、段階的な立ち上げと立ち下げとを交互に行っても良いし、さらには、バッファ回路に入力される階調表示用電圧のレベルを段階的に切り換えるものでなくても良い。ただ、本実施の形態で説明した、段階的に電圧レベルを立ち上げる方式（階段状に電圧レベルを立ち上げる方式）が、充電時間、充電電流が少なくて済み低消費電力化につながることや、動作制御も簡単になるためより望ましい。

【 0 1 6 6 】

また、図 5 のタイミングチャートでは、P h a s e 0 から P h a s e 8 へと、次々と間を開けることなくアナログスイッチ回路 1 0 1 ~ 1 2 5 を切り換えていく事例を示したが、これらアナログスイッチ回路の切り換え時に、全アナログスイッチ回路 1 0 1 ~ 1 2 5 を非導通にする非導通状態を設けても勿論良い。非導通状態を設ければ、アナログスイッチ回路 1 0 1 ~ 1 2 5 のオン／オフ切り換えタイミングのバラツキ等が原因となって、アナログスイッチ回路間に貫通電流が流れることが防止され、さらなる低消費電力化につながる。

【 0 1 6 7 】

また、バッファ回路は一般に消費電流が比較的大きいが、その低消費電力化を

図るために、図 1 0 に示すバッファ回路（バッファ手段）1 2 7 をバッファ回路 1 2 6（図 4 参照）として使用することもできる。以下に詳細に説明するが、該バッファ回路 1 2 7 は、ボルテージフォロワ回路 2 1 と制御部 2 2 とで構成されており、動作の必要が無い時には、その動作を止めるとともに消費電流も止める機能が設けられている。

【0 1 6 8】

ボルテージフォロワ回路 2 1 は、N チャンネル MOS（以下、NMOS と記載する）トランジスタ 2 3 ・ 2 4 と、P チャンネル MOS（以下、PMOS と記載する）トランジスタ 2 5 ・ 2 6 とを備えている。NMOS トランジスタ 2 3 ・ 2 4 は、差動対を構成している。一方、PMOS トランジスタ 2 5 ・ 2 6 は、カレントミラー回路（能動負荷回路）を構成している。

【0 1 6 9】

NMOS トランジスタ 2 3 のゲートは同相入力端子として入力側端子に接続されている。NMOS トランジスタ 2 3 ・ 2 4 のソースは互いに接続されており、制御部 2 2 の後述する NMOS トランジスタ 2 8 のドレインと接続されている。また、NMOS トランジスタ 2 4 のゲート（逆相入力端子）とドレインとは互いに接続され、出力側端子に接続されている。

【0 1 7 0】

また、NMOS トランジスタ 2 3 のドレインは、PMOS トランジスタ 2 5 のドレインと接続されており、PMOS トランジスタ 2 5 のソースは電源 V_d に接続されている。一方、NMOS トランジスタ 2 4 のドレインは、PMOS トランジスタ 2 6 のドレインと接続されており、PMOS トランジスタ 2 6 のソースは電源 V_d に接続されている。

【0 1 7 1】

一方、制御部 2 2 は、動作点を決めるバイアス電圧設定部 2 7 と、動作電流を流す NMOS トランジスタ 2 8 と、動作電流の ON/OFF を行うスイッチング素子としての NMOS トランジスタ 2 9 とで構成されている。

【0 1 7 2】

バイアス電圧設定部 2 7 は、NMOS トランジスタ 2 7 a ・ 2 7 b で構成され

ている。NMOSトランジスタ27aのゲートには、制御信号Pが入力される。NMOSトランジスタ27aのソースは、NMOSトランジスタ27bのゲートおよびドレインと、NMOSトランジスタ28のゲートとに接続されている。これにより、NMOSトランジスタ28のゲートにはバイアス電圧がかかることになる。また、NMOSトランジスタ27aのドレインは、図示しない電源と接続されている。NMOSトランジスタ27bのソースは、基準電位に接続されているか、または接地されている。

【0173】

一方、NMOSトランジスタ28のソースは、NMOSトランジスタ29のドレインと接続されており、NMOSトランジスタ29のソースは、接地されている。NMOSトランジスタ29のゲートには、先の制御信号Pが入力されるようになっている。

【0174】

上記構成のバッファ回路127において、回路の動作が必要な時には、制御信号PをHighレベル（図10ではVdレベル）に設定し、回路の動作停止時には、制御信号PをLowレベル（図10では接地レベル）に落とす。制御信号PをLowレベルにした場合、差動増幅回路の動作点を決めるNMOSトランジスタ27bと、NMOSトランジスタ29とがOFFとなるため、ボルテージフォロワ回路21からの電流を引き込むNMOSトランジスタ28に電流が流れなくなる。これにより、ボルテージフォロワ回路21の動作が停止するので、ボルテージフォロワ回路21における消費電流を完全にカットすることができる。

【0175】

以上のように、バッファ回路127は、回路不使用時には制御信号Pにより出力をハイインピーダンスにすると共に、差動増幅回路であるボルテージフォロワ回路21内の動作電流をカットする構成である。これにより、回路不使用時に無駄に電力が消費されるのを確実に防止することができ、回路の低消費電力化を大幅に図ることができる。

【0176】

すなわち、バイアス電圧設定部27は定電流回路として機能し、かつ差動増幅

回路（ボルテージフォロワ回路 2 1）の動作点を決めるものであり、NMOS トランジスタ 2 7 a に入力される制御信号 P が Low レベルとなるとバイアス電圧設定部 2 7 に電流が流れなくなくと同時に NMOS トランジスタ 2 9 がオフ状態となる。よって、このバッファ回路 1 2 7 を流れる電流は全て遮断されることになる。

【 0 1 7 7 】

これにより、携帯用の階調表示装置（例えば、液晶表示装置やプラズマディスプレイ装置など）において、電源がオンしていても表示を行わない場合や、電源がオンした直後などで回路が定常状態に達していない場合などには、制御信号 P を Low レベルにしておき、不要な消費電力を削減することができる。また、階調表示装置を用いて TV 映像を受信し表示する場合、垂直同期信号や水平同期信号の帰線時間帯のような画面表示に不要なタイミングではバッファ回路 1 2 7 の動作を止める等、こまめに消費電力を削減することができる。

【 0 1 7 8 】

なお、上記制御信号 P は、ソースドライバ IC の入力端子を介して、直接、バッファ回路 1 2 7 の制御端子に入力しても良いし、アナログスイッチ制御回路部（図 1 参照）4 0 を介して出力しても良い。ただし、この場合には、該アナログスイッチ制御回路部 4 0 にコントローラ 9 4 から入力される信号として、切り換え制御信号 SW に加え、上記制御信号 P を追加する必要がある。また、上記バッファ回路 1 2 7 を備えた回路ブロック（図 4 に示すバッファ回路ブロック 4 1' に相当）が複数個存在する場合には、上記制御信号 P を全バッファ回路 1 2 7 間で共通化して使用しても良いし、一方、回路ブロック毎に異なる制御信号 P を用い、複数のバッファ回路 1 2 7 の動作を独立に制御してもよい。

【 0 1 7 9 】

バッファ回路 1 2 7 を備えた複数の回路ブロックを有し、各回路ブロック毎に異なる制御信号 P を用いる構成とすれば、各バッファ回路 1 2 7 を使用されるタイミングでのみ動作させることができ、こまめな消費電力の削減が実現可能となる。例えば、表示画面全体に同じ背景を表示する場合や、背景画面に他の画面をはめ込んで表示する場合等では、背景部は同じ階調表示用電圧が使用されるので

、背景部を表示するタイミングでは該当する回路ブロック内のバッファ回路127のみ動作させ、他の回路ブロックのバッファ回路127は動作を止めてよい。

【0180】

〔実施の形態2〕

本発明の他の実施の形態について、図面に基づいて説明すれば以下の通りである。なお、説明の便宜上、実施の形態1と同一の構成には同一の部材番号を付し、その説明を省略する。

【0181】

図11および図12に示すように、本実施の形態のソースドライバ（階調表示用電圧発生装置）97は、図4に示すバッファ回路126を含んだバッファ回路ブロック41'に代えて、抵抗分割回路（電圧発生手段）44を含んだ低インピーダンス基準電圧発生ブロック42'を設けた構成となっている。また、一つのみ図示しているが、低インピーダンス基準電圧発生ブロック42'も、上記バッファ回路ブロック41'と同様に、基準電圧発生回路38をなす各抵抗 $R_0 \sim R_7$ （図3参照）に対応して一つずつ設けられている。そして、これら8つの低インピーダンス基準電圧発生ブロック42'を含んで、図11に示す低インピーダンス基準電圧発生回路部42が構成される。

【0182】

つまり、低インピーダンス基準電圧発生回路部42内には計8つの抵抗分割回路44（一つのみ図示）が含まれており、基準電圧発生回路38と同様に互いに直列接続されている。そして、これら抵抗分割回路44によって、64種類のアナログ電圧（階調表示用電圧 $V_0 \sim V_{63}$ （図3参照））を生成する。そして、これら8つの抵抗分割回路44と基準電圧発生回路38とを合わせて、一つの基準電圧発生ユニットと称する場合もある。

【0183】

なお、以下に詳細に説明するが、基準電圧発生回路38と低インピーダンス基準電圧発生回路部42とはともに、複数の参照電圧 V_R から複数種の階調表示用電圧を生成するものであり、切り換え制御信号 SW の入力を受けてアナログスイッチ制御回路部（制御手段Aとして機能する）40が生成する制御信号に基づき

、両者が同時に併用されたり、また片方のみが使用される場合もある。以下、基準電圧発生回路 3 8 の抵抗 R_7 に対応して設けられた抵抗分割回路 4 4 につき、詳細に説明する。

【 0 1 8 4 】

上記の抵抗分割回路 4 4 はそれぞれ、基準電圧発生回路 3 8 をなす各抵抗 $R_0 \sim R_7$ (図 3 参照) と同様に複数の (8 本の) 抵抗素子 $R'_{71} \sim R'_{78}$ が順に直列に接続されてなる構成である。また、これら複数の抵抗素子 $R'_{71} \sim R'_{78}$ は、基準電圧発生回路 3 8 の対応する回路ブロック (抵抗 R_7 : 基準電圧発生ブロック) をなす 8 本の抵抗素子 $R_{71} \sim R_{78}$ と同一の抵抗比を有し、かつそれぞれの抵抗値を低くして構成されている。

【 0 1 8 5 】

つまり、抵抗分割回路 4 4 をなす 8 本の抵抗素子 $R'_{71} \sim R'_{78}$ それぞれの抵抗値を順に、 R'_{71} 、 R'_{72} 、 \dots 、 R'_{78} とし、一方、基準電圧発生回路 3 8 の一ブロックをなす 8 本の抵抗素子 $R_{71} \sim R_{78}$ それぞれの抵抗値を順に、 R_{71} 、 R_{72} 、 \dots 、 R_{78} とした場合、

$$R'_{71} : R'_{72} : \dots : R'_{78} = R_{71} : R_{72} : \dots : R_{78}$$

の関係が成り立つとともに、 $R'_{71} \sim R'_{78}$ の合計が、 $R_{71} \sim R_{78}$ の合計より小さくなっている。したがって、図 1 2 に示すように、該抵抗分割回路 4 4 からは、基準電圧発生回路 3 8 の抵抗 R_7 から取り出される階調表示用電圧 $V_0 \sim V_7$ と同レベルの電圧 $V_0 \sim V_7$ を、より低出力インピーダンスな条件で取り出すことができる。

【 0 1 8 6 】

なお、詳細な説明は省略するが、例えば、基準電圧発生回路 3 8 をなす抵抗 $R_0 \sim R_6$ と、これに対応して設けられる抵抗分割回路 4 4 (図示せず) とは、上記抵抗 R_7 と対応する抵抗分割回路 4 4 との関係と同様に設計されて、残りの階調表示用電圧 $V_{63} \sim V_8$ をより低出力インピーダンスな条件で出力可能となっている。

【 0 1 8 7 】

また、上記の低インピーダンス基準電圧発生ブロック 4 2' 内には、上記実施

の形態 1 と同様に、スイッチング手段をなすアナログスイッチ回路 1 0 1 ~ 1 2 5、並びにアナログスイッチ回路 1 2 8 が配されており、アナログスイッチ制御回路部 4 0 が生成する制御信号に基づき、それぞれのオン／オフタイミングが制御される。この結果、アナログ電圧（階調表示用電圧） $V_0 \sim V_7$ それぞれを D A 変換回路 3 6 側に出力する際に、該電圧が基準電圧発生回路 3 8 から出力されるのか、または、抵抗分割回路 4 4 から出力されるのかが選択可能となる。つまり、アナログスイッチ制御回路部 4 0 と、低インピーダンス基準電圧発生回路部 4 2 とで、電圧源切り換え制御部 4 3 が構成されている。

【 0 1 8 8 】

なお、一つの低インピーダンス基準電圧発生ブロック 4 2' における 2 5 個の上記アナログスイッチ回路 1 0 1 ~ 1 2 5 の接続状態は、上記実施の形態で説明したものとほぼ同様（図 4 参照）であるが、1）8 個のアナログスイッチ回路 1 1 7、1 1 8、~ 1 2 4 の一方の端子がそれぞれ、基準電圧発生回路 3 8 の出力端子 OT_0 、 OT_1 、~ OT_7 にのみ接続されている点、2）8 個のアナログスイッチ回路 1 0 1、1 0 2、~ 1 0 8 の一端が、順に、抵抗分割回路 4 4 をなす抵抗素子 R'_{78} の一端、抵抗素子 $R'_{78} \cdot R'_{77}$ 間、抵抗素子 $R'_{77} \cdot R'_{76}$ 間、抵抗素子 $R'_{76} \cdot R'_{75}$ 間、抵抗素子 $R'_{75} \cdot R'_{74}$ 間、抵抗素子 $R'_{74} \cdot R'_{73}$ 間、抵抗素子 $R'_{73} \cdot R'_{72}$ 間、抵抗素子 $R'_{72} \cdot R'_{71}$ 間、に接続され、また、これらの他端が、アナログスイッチ回路 1 0 9 ~ 1 1 6 の一端も接続されている共通の配線上に接続されている点で異なる。

【 0 1 8 9 】

上記アナログスイッチ回路 1 0 1 ~ 1 2 4 の動作は、先に述べた図 5 のタイミングチャートと同じであり、このようなスイッチング動作を行うことで、既に説明した図 6 ~ 図 9 に示すものと同等の階調表示用電圧出力動作を実現することができる。なお、上記実施の形態 1 でバッファ回路 1 2 6 を介して行われた電圧出力動作は、本実施の形態では抵抗分割回路 4 4 を介して行われる電圧出力動作（ともに、基準電圧発生回路 3 8 からの出力と比較して、低インピーダンス出力動作）と読み替えればよい。

【 0 1 9 0 】

また、アナログスイッチ回路 1 2 5 は図 5 のタイミングとはロウレベルとハイレベルは反転するだけで動作や効果は先の実施の形態 1 と同様であるので、ここでの詳細な説明は省略する。

【0 1 9 1】

そして、並列に接続された基準電圧発生回路 3 8 をなす抵抗 R_7 と、抵抗分割回路 4 4 との間に、アナログスイッチ回路 1 2 8 を配置することで、階調表示用電圧の発生が不要の場合、このアナログスイッチ回路 1 2 8 を非導通状態にし、さらなる低消費電力化を図ることができる。これは先の実施の形態 1 にも適用可能なものである。

【0 1 9 2】

携帯用液晶表示装置は一般的に小画面のものが多いため、ソース信号ラインの配線容量や画素容量が比較的小さい。よって、実施の形態 1 で説明したバッファ回路ほどの低出力インピーダンス化が不要の場合、この第 2 の実施の形態は特に有効である。この構成は、抵抗のみの簡単な構成で実現でき、レイアウト面積で有利であると共に、画面サイズにもよるがバッファ回路と比較して無効電流を少なくできる可能性もある。また、同じプロセスで製造されるため、基準電圧発生回路 3 8 をなす対応する抵抗と、抵抗分割回路 4 4 との抵抗比のバラツキは少なく、両者を切り換え使用しても出力電圧の偏差は少なくなり良好な画質を得ることができる。

【0 1 9 3】

〔実施の形態 3〕

本発明のさらに他の実施の形態について、図面に基づいて説明すれば以下の通りである。なお、説明の便宜上、実施の形態 1 と同一の構成には同一の部材番号を付し、その説明を省略する。

【0 1 9 4】

本実施の形態にかかるソースドライバ（階調表示用電圧発生装置）は、上記実施の形態 1 にかかるソースドライバ 9 2（図 1 参照）において、基準電圧発生回路 3 8 とは異なる電圧レベルの基準電圧を生成可能な他の基準電圧発生回路をさらに備えてなる点に一つの特徴を有する。

【0195】

液晶表示装置（階調表示装置）は一般に、フリッカ防止などの目的で、液晶駆動電圧を正極性とする（正極性駆動）タイミングと負極性とする（負極性駆動）タイミングとを周期的に切り替える交流駆動が行われる。本ソースドライバは、液晶駆動電圧を正極性と負極性との間で切り替えた際に異なる γ 補正特性となる液晶表示素子（液晶パネル）にも採用可能なように、複数の基準電圧発生回路（負極性駆動用および正極性駆動用）を設けている。以下、実施の形態1にかかるソースドライバ92との構成上の相違が見られる基準電圧発生回路周辺の構成についてのみ、図面を参照して詳細に説明を行う。

【0196】

図27に示すように、実施の形態1と同様、本実施の形態にかかるソースドライバでも、基準電圧発生回路38が抵抗 R_0 、 R_1 、 \dots 、 R_6 、 R_7 からなる8つのブロック（基準電圧発生ブロック）により構成されており、各ブロックにて生成される各々8種類のアナログ電圧が対応する一つのバッファ回路ブロック41a'（構成については後述する）に入力されるようになっている。すなわち、バッファ回路ブロック41a'は、基準電圧発生回路38をなすブロック数（基準電圧発生ブロックの数）に応じて8つ設けられて、バッファ回路部41を構成している。なお、基準電圧発生回路38の詳細については、実施の形態1で記載した通りである。

【0197】

また、本実施の形態にて設けられた新たな基準電圧発生回路（基準電圧発生手段）38Aは、8つの抵抗 R'_{10} 、 R'_{11} 、 \dots 、 R'_{16} 、 R'_{17} （基準電圧発生ブロック）が直列に接続されてなり、さらに抵抗 R'_{10} 、 R'_{11} 、 \dots 、 R'_{16} 、 R'_{17} はそれぞれ8つの抵抗素子が直列に接続されてなる。例えば、抵抗 R'_{17} は、8つの抵抗素子 $R'_{171} \sim R'_{178}$ にて構成されている（図28参照）。

【0198】

そして、基準電圧発生回路38Aでも、各抵抗 R'_{10} 、 R'_{11} 、 \dots 、 R'_{16} 、 R'_{17} にて生成される各々8種類のアナログ電圧が、対応する一つのバッファ回路ブロック41a'に入力されるようになっている。また、基準電圧発生回路3

8をなす抵抗 R_0 、 R_1 、…、 R_6 、 R_7 と、基準電圧発生回路38Aをなす抵抗 R'_{10} 、 R'_{11} 、…、 R'_{16} 、 R'_{17} とはこの順に対応をなし、対応をなす一対の抵抗にて生成されたアナログ電圧は同一のバッファ回路ブロック41a'へ入力されるようになっている。

【0199】

以下、図28などに基づき、本実施の形態におけるバッファ回路ブロック41a'の構成を説明する。なお、図27に示す各バッファ回路ブロック41a'は基本的に同一の構成を有しているので、上記抵抗 R_7 ・ R'_{17} が対応するもののみにつき説明を行う。

【0200】

本実施の形態にかかるソースドライバICでは、バッファ回路ブロック41'（図4参照）内に、基準電圧発生回路38または38Aを選択使用するためのセレクト手段（切換手段）200が設けられてバッファ回路ブロック41a'が構成される。

【0201】

上記セレクト手段200は、アナログスイッチ回路201、202…208と、アナログスイッチ回路211、212…218とを含んでなる。そして、基準電圧発生回路38の出力端子 OT_0 、 OT_1 、…、 OT_7 はそれぞれ、対応する一つのアナログスイッチ回路208、207、…、201を介して、他の一つのアナログスイッチ回路101、102、…、108（実施の形態1にて説明済）の一端（入力）に接続されている。一方、基準電圧発生回路38Aの出力端子 OT_{000} 、 OT_{001} 、…、 OT_{007} はそれぞれ、対応する一つのアナログスイッチ回路218、217、…、211を介して、上記アナログスイッチ回路208、207、…、201の各出力と接続され、さらに上記アナログスイッチ回路101、102、…、108の一端（入力）に接続されている。

【0202】

また、不要時には、基準電圧発生回路38および38Aを流れる電流をカットするアナログスイッチ回路302、301が設けられている。なお、アナログスイッチ回路302・301はそれぞれ、例えば、参照電圧 V'_{64} または V'_0 の

入力端近傍に一つずつ、つまり基準電圧発生回路 3 8 ・ 3 8 A 全体で一つずつ設ければよい。

【 0 2 0 3 】

本実施の形態では、基準電圧発生回路 3 8 ・ 3 8 A に入力される複数の参照電圧の一部（最も電圧レベルの高い参照電圧 V'_{64} および最も電圧レベルの低い参照電圧 V'_0 ）のみを使用して階調表示用のアナログ電圧を生成するようになっており、例えば、液晶パネル用ソースドライバ（液晶表示素子用階調表示素子）とする場合に、交流駆動による γ 補正に際しても微調整用の参照電圧（中間電圧）を用いずに対応可能となっている。以下、基準電圧発生回路 3 8 が正極性駆動時の γ 補正用に、また基準電圧発生回路 3 8 A が負極性駆動時の γ 補正用に使用されると仮定してより詳細な説明を行う。

【 0 2 0 4 】

すでに説明したように、上記の基準電圧発生回路 3 8 では、抵抗 R_0 、 R_1 、 \dots 、 R_6 、 R_7 の抵抗値を全て同一とし、各抵抗 R_0 、 R_1 、 \dots 、 R_6 、 R_7 の両端に入力された電圧を抵抗素子により 8 等分して出力していた。一方、基準電圧発生回路 3 8 A では、抵抗 R'_{10} 、 R'_{11} 、 \dots 、 R'_{16} 、 R'_{17} 間の抵抗比が、上記抵抗 R_0 、 R_1 、 \dots 、 R_6 、 R_7 間の抵抗比と異なるように構成されている。すなわち、基準電圧発生回路 3 8 A では、抵抗 R'_{10} 、 R'_{11} 、 \dots 、 R'_{16} 、 R'_{17} 間の少なくとも一部で、入力された参照電圧 V'_{64} ・ V'_0 の不均等分割が行われる。よって、基準電圧発生回路 3 8 が生成するアナログ電圧（階調表示用電圧）と、基準電圧発生回路 3 8 A が生成するアナログ電圧とは、種類数（64 階調表示に応じた 64 種類）は同じものの、少なくとも一部に電圧レベルが異なるものが含まれる。

【 0 2 0 5 】

そして、アナログスイッチ回路 3 0 2、2 0 1 ~ 2 0 8 を連動して開閉（オン・オフ）させ、一方、アナログスイッチ回路 3 0 1、2 1 1 ~ 2 1 8 を連動して開閉させる。ここでは、アナログスイッチ回路 3 0 2、2 0 1 ~ 2 0 8 は正極性駆動時に ON し、負極性駆動時および不用時に OFF するように、一方、アナログスイッチ回路 3 0 1、2 1 1 ~ 2 1 8 は負極性駆動時に ON し、正極性駆動時

および不用時にOFFするように制御される。また、セクタ手段200内に設けられた上記アナログスイッチ回路や、上記アナログスイッチ回路301・302のオンオフはいずれも、アナログスイッチ制御回路部40（制御手段A・Bとして機能）からの制御信号により制御される。なお、アナログスイッチ回路101～124のオン・オフ制御により、基準電圧発生回路38Aから出力される階調表示用の電圧を、バッファ回路126を介してまたは介さずにDA変換回路36に入力する方法については、基本的に基準電圧発生回路38の場合と同様であり説明は省略する（実施の形態1参照）。

【0206】

例えば、図26（a）に示す正極性駆動時での γ 補正特性と、図26（c）に示す負極性駆動時での γ 補正特性との双方を実現するためには、従来行われているように、極性反転の際に、デジタル表示データを反転させ、かつ液晶パネル（図示せず）への出力電圧（階調表示用の電圧）をそれぞれの γ 補正特性に応じて変更すればよい。そして、本実施の形態では、負極性駆動時と正極性駆動時とでの液晶パネルへの出力電圧の変更を、基準電圧発生回路38・38Aを切り換え使用することで実現している。

【0207】

例えば、基準電圧発生回路38を使用して図26（a）に示す γ 補正特性が得られる場合に、図26（c）に示す γ 補正を実現するためには、階調表示用電圧 V_8 の電位を下げ、かつ階調表示用電圧 V_{56} の電位を上げる必要がある。そのため、階調表示用電圧 V_8 の出力用の抵抗 R_6 （同一の抵抗素子8本で構成）の抵抗値を基準として、この抵抗 R_6 に対応する基準電圧発生回路38A内の抵抗 R'_{16} （同一の抵抗素子8本で構成）の抵抗値を大きくし、かつ階調表示用電圧 V_{56} の出力用の抵抗 R_0 （同一の抵抗素子8本で構成）の抵抗値を基準として、この抵抗 R_0 に対応する基準電圧発生回路38A内の抵抗 R'_{10} （同一の抵抗素子8本で構成）の抵抗値を小さく設計すればよい。換言すれば、抵抗 R_1 （同一の抵抗素子8本で構成）の抵抗値を基準として、これに対応する基準電圧発生回路38A内の抵抗 R'_{11} （同一の抵抗素子8本で構成）の抵抗値を大きくし、かつ、抵抗 R_7 （同一の抵抗素子8本で構成）の抵抗値を基準として、これに対応す

る基準電圧発生回路 3 8 A 内の抵抗 R'_{17} (同一の抵抗素子 8 本で構成) の抵抗値を小さく設計すればよい。

【 0 2 0 8 】

正極性駆動と負極性駆動との切替、すなわち一定期間毎の液晶駆動の極性反転は、従来の液晶表示素子の駆動と同様に行えばよく、詳細な説明は省略するが、例えば、数垂直同期期間毎 (1 垂直同期期間毎も含む) の垂直同期期間単位で、また駆動方式によっては、数水平同期期間毎 (1 水平同期期間毎も含む) の水平同期期間単位でも行われる。

【 0 2 0 9 】

また、液晶駆動の極性反転に際し液晶表示素子の対向電極への印加電圧も切り換えられることや、デジタル表示データの反転法に関しては、従来公知の方法が採用可能であり、詳細な説明は省略する。

【 0 2 1 0 】

以上のように、本実施の形態のソースドライバ IC (階調表示用電圧発生装置) のように、複数の基準電圧発生回路を備えた構成では、2 つの参照電圧 V'_{64} ・ V'_0 を共通に利用して、互いに異なる階調表示用の電圧を出力可能となっている。つまり、正極性駆動時と負極性駆動時とで γ 補正特性が異なる液晶表示素子へ対応する場合でも、中間レベルの参照電圧 (図 3 に示した V'_8 ・ V'_{16} ・ ... ・ V'_{56} (中間電圧) に相当) の入力を全てなくすることが可能となり、また、仮に使用する場合でもその一部のみを入力すればよい。よって、ソースドライバ IC に設けるパッド数を低減可能となりチップ面積の増大が防止される。また、上記中間レベルの参照電圧にのる飛込みノイズにより、液晶表示素子の表示品位が劣化する虞も低減可能となる。加えて、液晶駆動電源 (図 2 参照) と各ソースドライバ IC との間の配線数も低減されて、液晶表示装置のより一層の小型化が可能となり、かつ液晶表示装置のシステム設計も容易となる。

【 0 2 1 1 】

また、アナログ回路として差動増幅回路等で構成されるバッファ回路間では、製造条件のバラツキ等により入力段でオフセットバラツキが発生するが、実施の形態 1 の場合と同様に、液晶表示素子には、バッファ回路を介しての充電がなさ

れた後に、高インピーダンス出力ではあるが基準電圧発生回路 38・38A からバッファ回路を介さずに所定の電圧が供給されるようになっている。これにより、各バッファ回路での出力偏差は解消され、表示ムラのない表示が可能となる。また、入力段のオフセットバラツキに対する問題が低減されることで、バッファ回路の設計が容易となる。

【0212】

〔実施の形態4〕

本発明のさらに他の実施の形態について、図面に基づいて説明すれば以下の通りである。なお、説明の便宜上、実施の形態1～3と同一の構成には同一の部材番号を付し、その説明を省略する。

【0213】

本実施の形態にかかるソースドライバIC（階調表示用電圧発生装置）は、実施の形態2で説明した基準電圧発生ユニットを複数個備えてなり、これら基準電圧発生ユニットが生成する上記複数種の階調表示用の電圧が、基準電圧発生ユニット毎に異なっている構成である。

【0214】

より具体的には、本実施の形態にかかるソースドライバICは、図29に示すように2つの基準電圧発生ユニットを備えてなり、一方の基準電圧発生ユニットは、基準電圧発生回路38と8つの抵抗分割回路（電圧発生手段） $R'_0 \sim R'_7$ の集合体とから、また、他方の基準電圧発生ユニットは、基準電圧発生回路（基準電圧発生手段）38Bと8つの抵抗分割回路（電圧発生手段） $R'_{000} \sim R'_{700}$ の集合体とから構成されている。ここで、基準電圧発生回路38Bは、基準電圧発生回路38と同様に、8つの抵抗 $R_{000} \sim R_{700}$ （各々同一の抵抗素子8本で構成）を直列に接続してなる抵抗分割手段である。

【0215】

また、これら2つの基準電圧発生ユニットはそれぞれ、上記実施の形態2と同様に、各々8階調分の電圧出力を担当する8ブロックが集合して構成される。つまり、一方の基準電圧発生ユニットは、8つの抵抗分割回路 $R'_0 \sim R'_7$ （各々同一の抵抗素子8本で構成）のいずれか一つを含んだ低インピーダンス基準電

圧発生ブロック42”と、基準電圧発生回路38をなす8つの抵抗 $R_0 \sim R_7$ （各々同一の抵抗素子8本で構成）のいずれか一つとを含んだブロック単位を8つ含んでなる。また、他方の基準電圧発生ユニットは、8つの抵抗分割回路 $R'_{000} \sim R'_{700}$ （各々同一の抵抗素子8本で構成）のいずれか一つを含んだ低インピーダンス基準電圧発生ブロック42a”と、基準電圧発生回路38Bをなす抵抗 $R_{000} \sim R_{700}$ のいずれか一つとを含んだブロック単位を8つ含んでなる。

【0216】

すでに実施の形態2で説明した通り、一方の基準電圧発生ユニットの一ブロックをなす抵抗分割回路 R'_7 と抵抗 R_7 とは8種類の階調表示用電圧 $V_0 \sim V_7$ をそれぞれ独立に生成可能となっている。同様に、抵抗分割回路 R'_6 と抵抗 R_6 とは8種類の階調表示用電圧 $V_8 \sim V_{15}$ を、 R'_5 と R_5 とは8種類の階調表示用電圧 $V_{16} \sim V_{23}$ を、 R'_4 と R_4 とは8種類の階調表示用電圧 $V_{24} \sim V_{31}$ を、 R'_3 と R_3 とは8種類の階調表示用電圧 $V_{32} \sim V_{39}$ を、 R'_2 と R_2 とは8種類の階調表示用電圧 $V_{40} \sim V_{47}$ を、 R'_1 と R_1 とは8種類の階調表示用電圧 $V_{48} \sim V_{55}$ を、 R'_0 と R_0 とは8種類の階調表示用電圧 $V_{56} \sim V_{63}$ を、それぞれ独立に生成可能となっている。また、基準電圧発生回路38側と抵抗分割回路 $R'_0 \sim R'_7$ 側とのいずれの電圧出力を採用するか切り換え、並びにいずれの基準電圧発生ユニット側の電圧出力を採用するか切り換えは、各ブロックに設けられたセレクト手段（切換手段）500がアナログスイッチ制御回路部40の制御信号を受けて実行する。

【0217】

なお、図30を用いた要部構成の記載でも改めて説明するが、抵抗分割回路 R'_7 は、上記実施の形態2における抵抗分割回路44（図12参照）と同一のものであり、階調表示用電圧 $V_0 \sim V_7$ 出力の際の出力インピーダンスは、抵抗 R_7 と比較して小さくなっている。同様に、他の7つの抵抗分割回路 R'_6 、 R'_5 、 R'_4 、 R'_3 、 R'_2 、 R'_1 、 R'_0 はそれぞれ順に、抵抗 R_6 、 R_5 、 R_4 、 R_3 、 R_2 、 R_1 、 R_0 より低出力インピーダンスとなっている。

【0218】

他方の基準電圧発生ユニットの一ブロックをなす抵抗分割回路 R'_{700} と抵抗

R_{700} とは、上記抵抗分割回路 R'_{700} と抵抗 R_{700} との関係と同様、8種類の電圧をそれぞれ独立に生成可能となっている。同様に、抵抗分割回路 R'_{600} ・抵抗 R_{600} ・ R'_{500} ・ R_{500} ・ R'_{400} ・ R_{400} ・ R'_{300} ・ R_{300} ・ R'_{200} ・ R_{200} ・ R'_{100} ・ R_{100} ・ R'_{000} ・ R_{000} はそれぞれ、互いに異なる8種類の電圧を生成可能となっている。よって、他方の基準電圧発生ユニットも合計64種類の電圧を生成可能であるが、以下に図30を用いて説明するように、これら2つの基準電圧発生ユニットが生成する64種類の電圧の少なくとも一部はそのレベルが異なっている。

【0219】

上記他方の基準電圧発生ユニットでは、8つの抵抗分割回路 R'_{700} ・ R'_{600} ・ R'_{500} ・ R'_{400} ・ R'_{300} ・ R'_{200} ・ R'_{100} ・ R'_{000} はそれぞれ順に、抵抗 R_{700} ・ R_{600} ・ R_{500} ・ R_{400} ・ R_{300} ・ R_{200} ・ R_{100} ・ R_{000} より低出力インピーダンスとなっている。また、基準電圧発生回路38B側と抵抗分割回路 R'_{000} ～ R'_{700} 側とのいずれの電圧出力を採用するか切り換えは、各ブロックに設けられたセクタ手段300がアナログスイッチ制御回路部40の制御信号を受けて実行する。そして、セクタ手段300により選択された電圧出力は、次いでセクタ手段500により、DA変換回路36側へ出力されるか否かが決定される。

【0220】

なお、一方の基準電圧発生ユニットにおいて、8つの低インピーダンス基準電圧発生ブロック42”とアナログスイッチ回路125(A)・128(A)とからなる構成は低インピーダンス基準電圧発生回路部42(図11も参照)に相当する。また、他方の基準電圧発生ユニットにおいて8つの低インピーダンス基準電圧発生ブロック42a”とアナログスイッチ回路125(B)・128(B)とからなる構成は低インピーダンス基準電圧発生回路部42aに相当する。

【0221】

以下、特に図30を参照して要部構成につき説明するが、各基準電圧発生ユニットをなす8ブロックの基本構成は実質的に同一であるため、各々1ブロック分のみ図示して説明する。なお、図29に示したセクタ手段300は、図30に

示すアナログスイッチ回路 1 3 0 ・ 1 0 1 (B) ～ 1 0 8 (B) により構成されており、図 2 9 に示したセクタ手段 5 0 0 は、図 3 0 に示すアナログスイッチ回路 1 4 0 ・ 1 4 1 ・ 1 0 1 ～ 1 2 4 により構成されている。また、図 2 9 に示した抵抗分割回路 R'_7 、 R'_{700} は順に、図 3 0 に示す抵抗分割回路 4 4、4 4 B と同一のものである。

【 0 2 2 2 】

基準電圧発生回路 3 8 B の一ブロックをなす抵抗 R_{700} と一つの抵抗分割回路 4 4 B との関係は、基本的には、抵抗 R_7 と一つの抵抗分割回路 4 4 との関係と同様になっている。つまり、抵抗分割回路 4 4 B をなす 8 本の抵抗素子 $R'_{710} \sim R'_{780}$ それぞれの抵抗値を順に、 R'_{710} 、 R'_{720} 、…、 R'_{780} とし、一方、基準電圧発生回路 3 8 B の一ブロックをなす 8 本の抵抗素子 $R_{710} \sim R_{780}$ それぞれの抵抗値を順に、 R_{710} 、 R_{720} 、…、 R_{780} とした場合、

$$R'_{710} : R'_{720} : \dots : R'_{780} = R_{710} : R_{720} : \dots : R_{780}$$

の関係が成り立つとともに、 $R'_{710} \sim R'_{780}$ の合計が、 $R_{710} \sim R_{780}$ の合計より小さくなっている。したがって、図 3 0 に示すように、該抵抗分割回路 4 4 B からは、基準電圧発生回路 3 8 B の抵抗 R_{700} から取り出される階調表示用電圧 $V_{000} \sim V_{007}$ と同レベルの電圧 $V_{000} \sim V_{007}$ を、より低出力インピーダンスな条件で取り出すことができる。

【 0 2 2 3 】

また、本実施の形態では、上記 2 つの基準電圧発生ユニットが生成する複数種の階調表示用の電圧は、基準電圧発生ユニット毎に少なくとも一部が異なっている。具体的には、例えば、共通の入力端子 IT_0 を介して DA 変換回路 3 6 に出力される階調表示用電圧 V_{000} と、階調表示用電圧 V_0 とが異なっている。なお、各基準電圧発生ユニットが生成可能な階調表示用の電圧の電圧レベルの決定は、上記実施の形態 3 でも説明したように、液晶表示パネルの正極性駆動時または負極性駆動時で所望される γ 補正特性に応じて決定すればよく、所望される γ 補正特性に応じて基準電圧発生回路 3 8 ・ 3 8 B、各抵抗分割回路 4 4 ・ 4 4 B の抵抗値を設定すればよい。

【0224】

例えば、基準電圧発生回路38と8つの抵抗分割回路44（つまり図29に示す抵抗分割回路 $R'_0 \sim R'_7$ ）とからなる基準電圧発生ユニットを正極性駆動時用のユニットとし、他方の基準電圧発生ユニットを負極性駆動時用のユニットとしてアナログスイッチの切り換え動作を説明する。

【0225】

負極性駆動時では、負極性駆動時用の基準電圧発生ユニットのみに電圧を印加するため、アナログスイッチ回路125（B）・128（B）がオンされ、アナログスイッチ回路125（A）・128（A）がオフされる。加えて、アナログスイッチ回路140・141はいずれもオフされる。また、各低インピーダンス基準電圧発生ブロック42a”内のアナログスイッチ回路101（B）～108（B）・130が活性化され（オンされ）、アナログスイッチ回路101～124のオン・オフ動作と連関してオン・オフされる。

【0226】

なお、負極性駆動時におけるアナログスイッチ回路101～124のオン・オフ動作は、実施の形態2で述べた通りであり、説明は省略する。また、アナログスイッチ回路101（B）～108（B）は対応する（電氣的に接続された）アナログスイッチ回路101～108がオンするときのみオンするように、またアナログスイッチ回路130は対応するアナログスイッチ回路117～124がオンするときのみオンするように動作制御されて、抵抗 R_{700} または抵抗分割回路44Bのいずれか一方からの電圧出力が行われる。

【0227】

一方、正極性駆動時には、正極性駆動時用の基準電圧発生ユニットのみに電圧を印加するため、アナログスイッチ回路125（B）・128（B）がオフされ、アナログスイッチ回路125（A）・128（A）がオンされる。加えて、アナログスイッチ回路101（B）～108（B）・130はいずれもオフされる。また、各低インピーダンス基準電圧発生ブロック42”内のアナログスイッチ回路140・141が活性化され（オンされ）、アナログスイッチ回路101～124のオン・オフ動作と連関してオン・オフされる。

【 0 2 2 8 】

なお、正極性駆動時におけるアナログスイッチ回路 1 0 1 ~ 1 2 4 のオン・オフ動作は、実施の形態 2 で述べた通りであり、説明は省略する。また、各アナログスイッチ回路 1 4 0 は対応する（電氣的に接続された）アナログスイッチ回路 1 1 7 ~ 1 2 4 がオンするときのみオンするように、アナログスイッチ回路 1 4 1 は対応するアナログスイッチ回路 1 0 1 ~ 1 0 8 がオンするときのみオンするように動作制御されて、抵抗 R_7 または抵抗分割回路 4 4 のいずれか一方からの電圧出力が行われる。なお、正・負極性駆動時における各アナログスイッチ回路の動作制御は、アナログスイッチ制御回路部 4 0（制御手段 A・B として機能）からの制御信号にて行われる。

【 0 2 2 9 】

なお、アナログスイッチ回路 1 2 8（A）・1 2 5（A）は、低インピーダンス基準電圧発生回路部 4 2 の貫通電流を無くす目的で設置されており、図 2 9・3 0 に示すように低インピーダンス基準電圧発生回路部 4 2 内に一つずつ設けてもよいし、上記実施の形態 2 で示したように低インピーダンス基準電圧発生ブロック 4 2' 毎に一つずつ設けてもよい（図 1 2 参照）。また、低インピーダンス基準電圧発生回路部 4 2 a の貫通電流を無くす目的で設置されるアナログスイッチ回路 1 2 8（B）・1 2 5（B）に関しても、ブロック単位毎に一つずつ設けることもできる。さらにまた、上記実施の形態 2 において、アナログスイッチ回路 1 2 5・1 2 8（図 1 1・1 2 参照）を、8つのブロック全体（低インピーダンス基準電圧発生回路部 4 2）に一つずつ設ける構成とすることもできる。

【 0 2 3 0 】

以上のように、本実施の形態にかかるソースドライバ IC では、複数の基準電圧発生ユニットを備えることで、例えば、正極性駆動時と負極性駆動時とで異なる γ 補正特性が要求される液晶表示素子用の階調表示用電圧発生装置として好適に利用される。また、各基準電圧発生ユニット内では、必要に応じて、階調表示用の電圧の低インピーダンス出力／高インピーダンス出力を切り換え可能となっている。

【 0 2 3 1 】

しかも、低インピーダンス出力／高インピーダンス出力の切り換えを、バッファ回路を用いずに、抵抗分割回路とアナログスイッチ回路とのみで実現している。抵抗分割回路をなす抵抗は、製造や抵抗比の一定化が比較的容易であり、またアナログスイッチ回路はレイアウト面積が比較的少なくすむ。すなわち、回路点数が比較的多く、構成するトランジスタも比較的大きく、さらに動作電流等で消費電流も比較的大きくなりがちなバッファ回路を使用しないので、レイアウト面積を非常に小さくでき、ソースドライバICのチップ面積の縮小にも貢献できる。

【0232】

尚、ここでは8ブロックに分けた例で説明したが、他の任意のブロック分けでもよい。また、時分割駆動の方法は、上記実施の形態2で説明した通りである。さらに、液晶表示素子の交流駆動として、負極性駆動時と正極性駆動時とで、図29に示す参照電圧 $V'_{64} \cdot V'_0$ の入力端を入れ替える方法も、本発明に適用可能である。

【0233】

また、実施の形態3で形成される基準電圧発生回路、または実施の形態4で形成される基準電圧発生ユニットを、正極性駆動用及び負極性駆動用を双方もしくはいずれかを複数個有していて、切り替えて使用しても良い。これにより、特性の異なる液晶パネルへも1種類のソースドライバICで対応可能となり、より一層コスト低減がなされる。

【0234】

【発明の効果】

本発明に係る階調表示用電圧発生装置は、以上のように、複数種の階調表示用の電圧を生成する基準電圧発生手段と、階調表示用の電圧から、表示データに応じた電圧を選択して階調表示素子に出力する選択手段とを備え、基準電圧発生手段と選択手段との間には、低出力インピーダンスなバッファ手段と、基準電圧発生手段、バッファ手段、並びに選択手段の接続状態を切り換えることにより、階調表示用の電圧それぞれを基準電圧発生手段から選択手段に出力する際に、バッファ手段を介するか否かを選択可能とするスイッチング手段とが設けられており

、さらに、スイッチング手段の切り換え動作を制御する制御手段Aを含んでなる構成である。

【0 2 3 5】

上記の構成によれば、階調表示動作の状態に応じて、上記選択手段への階調表示用の電圧の急速な供給、または、低消費電力な供給を選択可能な階調表示用電圧発生装置を提供することが可能となるという効果を奏する。

【0 2 3 6】

本発明に係る階調表示用電圧発生装置は、上記の構成において、制御手段Aは、バッファ手段の入力が基準電圧発生手段の出力端子それぞれに時分割で接続されるようにスイッチング手段の切り換え動作を制御するものであってもよい。

【0 2 3 7】

上記の構成によれば、各出力端子毎にバッファ手段を設ける必要などがなくなり、比較的消費電力の大きなバッファ手段の設置数を低減することができるという効果を加えて奏する。

【0 2 3 8】

また、動作制御のし易さなどの理由により、上記の構成において、上記バッファ手段の入力に時分割で接続される上記出力端子を、電圧レベルの低い階調表示用の電圧を出力するものから、順次電圧レベルのより高い階調表示用の電圧を出力するものへと切り換える、または、電圧レベルの高い階調表示用の電圧を出力するものから、順次電圧レベルのより低い階調表示用の電圧を出力するものへと切り換える動作を行ってもよい。

【0 2 3 9】

本発明に係る階調表示用電圧発生装置は、上記の構成において、上記制御手段Aは、上記バッファ手段の出力が上記入力端子の1つ以上と同時に接続されるように上記スイッチング手段を切り換えて、この入力端子に上記階調表示用の電圧のいずれか一つを供給し、次いで、上記バッファ手段の出力に接続された上記入力端子の電位が、供給されている階調表示用の電圧の電圧レベルに到達すると、この入力端子をバッファ手段の出力から切り離し、階調表示用の電圧をバッファ手段を介さず供給するように上記スイッチング手段を切り換える動作を行っても

よい。

【0 2 4 0】

上記の構成によれば、充電が完了した定常状態を、低消費電力かつ安定に維持することが可能となるという効果を加えて奏する。

【0 2 4 1】

本発明に係る階調表示用電圧はまた、上記の構成において、異なる種類の階調表示用の電圧を生成する複数個の基準電圧発生手段と、使用する基準電圧発生手段を切り換える切換手段と、切換手段の切り換え動作を制御する制御手段Bとを含んでなる構成であってもよい。

【0 2 4 2】

上記の構成によれば、正極性駆動時と負極性駆動時とで γ 補正特性が異なる液晶表示素子などに対しても、画素容量への充電時間の短縮と低消費電力性の両立を損なうことなく実現可能となるという効果を加えて奏する。

【0 2 4 3】

また、本発明に係る階調表示用電圧発生装置において、基準電圧発生手段は基準電圧発生ブロックが複数個集合して構成されており、さらに、バッファ手段が基準電圧発生ブロック毎に設けられていることがより好ましい。

【0 2 4 4】

上記の構成によれば、基準電圧発生ブロック毎に設けられたバッファ手段を使用されるタイミングでのみ動作させることができ、画素容量への充電時間の短縮を図りつつ、より一層の低消費電力化を実現可能となるという効果を加えて奏する。

【0 2 4 5】

さらに、基準電圧発生手段は2種の参照電圧から上記複数種の階調表示用の電圧を生成することがより好ましく、この構成によれば、階調表示用電圧発生装置の回路構成をより簡素化可能となるという効果を加えて奏する。

【0 2 4 6】

本発明に係る階調表示用電圧発生装置は、以上のように、複数種の階調表示用の電圧を生成する基準電圧発生手段と、階調表示用の電圧から、表示データに応

じた電圧を選択して階調表示素子に出力する選択手段とを備え、上記複数種の階調表示用の電圧を生成し、かつ低出力インピーダンスな電圧発生手段と、複数種の階調表示用の電圧それぞれを、基準電圧発生手段から選択手段に出力するか、または、低出力インピーダンスな電圧発生手段から選択手段に出力するかを切り換えるスイッチング手段と、該スイッチング手段の切り換え動作を制御する制御手段Aと、を含んでなる構成である。

【 0 2 4 7 】

上記の構成によれば、階調表示動作の状態に応じて、上記選択手段への階調表示用の電圧の急速な供給、または、低消費電力な供給を選択可能な階調表示用電圧発生装置を提供することが可能となるという効果を奏する。

【 0 2 4 8 】

本発明に係る階調表示用電圧発生装置はまた、上記の構成において、上記低出力インピーダンスな電圧発生手段から選択手段に出力する上記階調表示用の電圧の種類を、時分割で切り換える動作を行っても良い。

【 0 2 4 9 】

さらには、低出力インピーダンスな電圧発生手段から選択手段に出力する上記階調表示用の電圧の種類を、電圧レベルの低いものから、順次電圧レベルのより高いものへと切り換える、または、電圧レベルの高いものから、順次電圧レベルのより低いものへと切り換える動作を行ってもよい。

【 0 2 5 0 】

本発明に係る階調表示用電圧発生装置は、上記の構成において、上記制御手段Aは、上記低出力インピーダンスな電圧発生手段が上記入力端子の1つ以上と同時に接続されるように上記スイッチング手段を切り換えて、この入力端子に上記階調表示用の電圧のいずれか一つを供給し、次いで、上記低出力インピーダンスな電圧発生手段に接続された上記入力端子の電位が、供給されている階調表示用の電圧の電圧レベルに到達すると、この入力端子を低出力インピーダンスな電圧発生手段から切り離し、階調表示用の電圧を上記基準電圧発生手段から供給するように上記スイッチング手段を切り換える動作を行ってもよい。

【 0 2 5 1 】

上記の構成によれば、充電が完了した定常状態を低消費電力かつ、安定に維持することが可能となるという効果を加えて奏する。

【 0 2 5 2 】

本発明に係る階調表示用電圧発生装置はまた、上記の構成において、異なる種類の階調表示用の電圧を生成する複数個の基準電圧発生ユニットと、使用する基準電圧発生ユニットを切り換える切換手段と、切換手段の切り換え動作を制御する制御手段Bとを含んでなる構成であってもよい。

【 0 2 5 3 】

上記の構成によれば、正極性駆動時と負極性駆動時とで γ 補正特性が異なる液晶表示素子などに対しても、画素容量への充電時間の短縮と低消費電力性との両立を損なうことなく実現可能な階調表示用電圧発生装置を提供することができるという効果を加えて奏する。

【 0 2 5 4 】

本発明に係る階調表示用電圧発生装置はまた、上記の構成において、基準電圧発生手段は基準電圧発生ブロックが複数個集合して構成されており、さらに、低出力インピーダンスな電圧発生手段が基準電圧発生ブロック毎に設けられている構成であることがより好ましい。

【 0 2 5 5 】

上記の構成によれば、基準電圧発生ブロック毎に設けられた低出力インピーダンスな電圧発生手段を使用されるタイミングでのみ動作させることができ、画素容量への充電時間の短縮を図りつつ、より一層の低消費電力化を実現可能となるという効果を加えて奏する。

【 0 2 5 6 】

本発明に係る階調表示用電圧発生手段はまた、上記の構成において、基準電圧発生ユニットは、2種の参照電圧から複数種の階調表示用の電圧を生成することがより好ましく、この構成によれば、階調表示用電圧発生装置の回路構成をより簡素化可能となるという効果を加えて奏する。

【 0 2 5 7 】

本発明にかかる階調表示装置は、以上のように、上記いずれかの構成の階調表

示用電圧発生装置と、上記階調表示用電圧発生装置から階調表示用の電圧が供給されて階調表示を行う階調表示素子とを含んでなる構成である。

【 0 2 5 8 】

上記の構成によれば、階調表示素子上に、表示データに応じた階調表示を高速かつ低消費電力で行うことができる階調表示装置を提供可能となるという効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の実施の形態に係る階調表示用電圧発生装置であるソースドライバの概略構成を示すブロック図である。

【図 2】

図 1 に示すソースドライバを備えてなる T F T 方式の液晶表示装置の構成を示す概略図である。

【図 3】

図 1 に示すソースドライバ内に設けられた基準電圧発生回路の概略の構成を示す説明図である。

【図 4】

図 1 に示すソースドライバの要部の回路構成を示す説明図である。

【図 5】

図 5 に示すアナログスイッチ制御回路部が生成する制御信号の、供給タイミングを示すタイミングチャートである。

【図 6】

(a) ・ (b) は、図 4 に示す回路構成における、階調表示用の電圧の供給状態の一例を説明する図である。

【図 7】

(a) ・ (b) は、図 4 に示す回路構成における、階調表示用の電圧の供給状態の他の例を説明する図である。

【図 8】

(a) ・ (b) は、図 4 に示す回路構成における、階調表示用の電圧の供給状

態のさらに他の例を説明する図である。

【図 9】

(a)・(b)は、図 4 に示す回路構成における、階調表示用の電圧の供給状態のさらに他の例を説明する図である。

【図 1 0】

図 1 に示すソースドライバが備えるバッファ回路の概略構成を示す回路図である。

【図 1 1】

本発明の他の実施の形態に係る階調表示用電圧発生装置であるソースドライバの概略構成を示すブロック図である。

【図 1 2】

図 1 1 に示すソースドライバの要部の回路構成を示す説明図である。

【図 1 3】

従来の液晶表示装置の概略の構成を示すブロック図である。

【図 1 4】

図 1 3 に示す液晶表示装置の備える液晶パネルの概略構成を示す回路図である。

【図 1 5】

上記液晶表示装置における液晶駆動波形の一例を示す説明図である。

【図 1 6】

上記液晶表示装置における液晶駆動波形の他の例を示す説明図である。

【図 1 7】

従来のソースドライバの概略構成を示すブロック図である。

【図 1 8】

図 1 3 に示す液晶表示装置の備える液晶パネルに供給される各種信号同士の関係を示す説明図である。

【図 1 9】

(a)・(b)は、図 1 3 に示す液晶表示装置の備える液晶パネルに供給される各種信号同士の関係の要部を示す説明図である。

【図 2 0】

上記ソースドライバが備える基準電圧発生回路の概略の構成を示す説明図である。

【図 2 1】

図 2 0 に示す基準電圧発生回路が備える抵抗分割回路を構成する抵抗の詳細な構成を示す回路図である。

【図 2 2】

上記ソースドライバが備える上記基準電圧発生回路と、D/A変換回路と、出力回路との概略の構成を示す説明図である。

【図 2 3】

従来の他の液晶表示装置の概略構成を示す説明図である。

【図 2 4】

従来のさらに他の液晶表示装置の概略構成を示す説明図である。

【図 2 5】

従来のさらに他の液晶表示装置の概略構成を示す説明図である。

【図 2 6】

(a) ~ (c) は、液晶表示装置に備えられた液晶パネルの γ 補正特性の例を示すグラフである。

【図 2 7】

本発明のさらに他の実施の形態に係るソースドライバ（階調表示用電圧発生装置）の要部の回路構成を示す説明図である。

【図 2 8】

図 2 7 に示す回路構成の一部の詳細を示す説明図である。

【図 2 9】

本発明のさらに他の実施の形態に係るソースドライバ（階調表示用電圧発生装置）の要部の回路構成を示す説明図である。

【図 3 0】

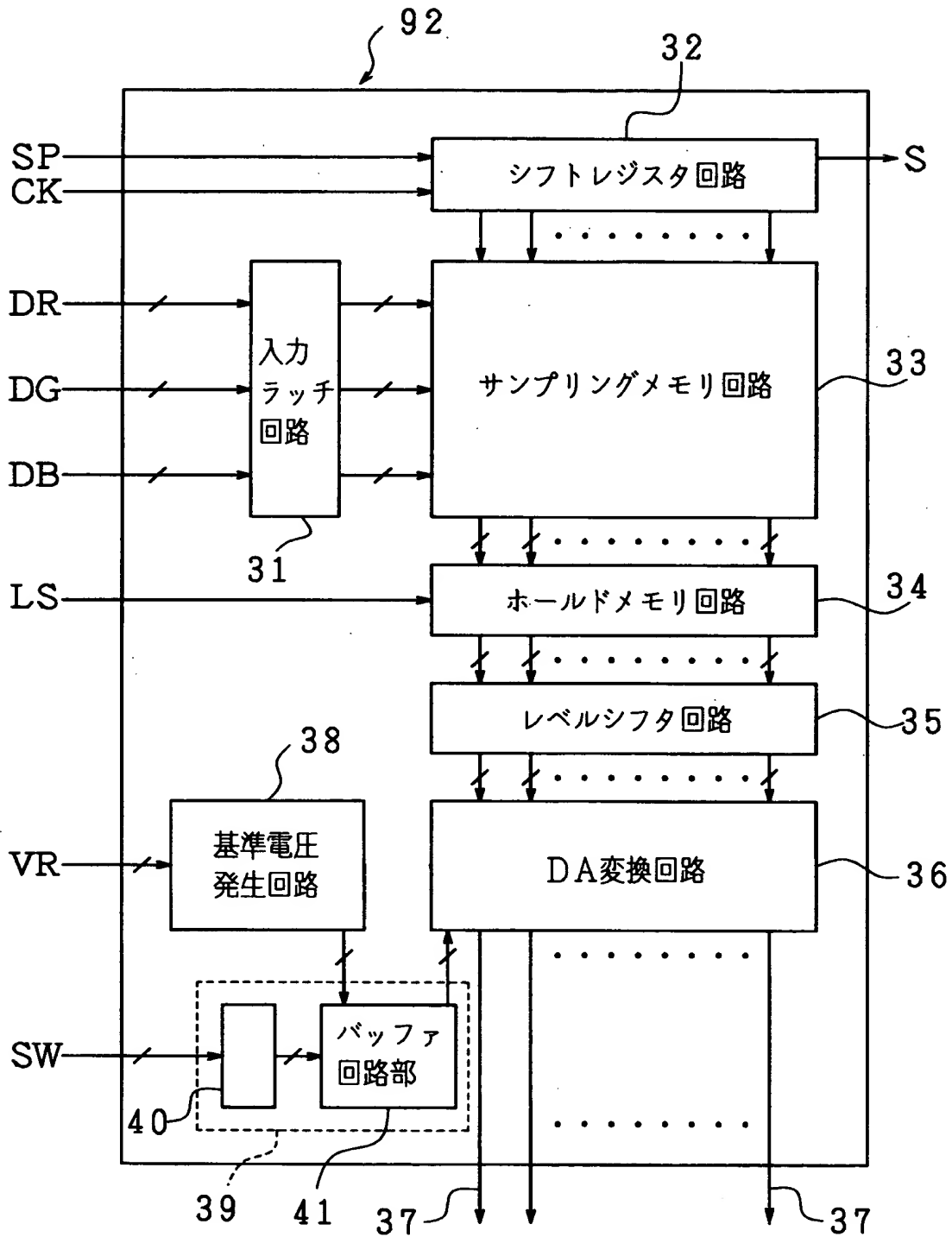
図 2 9 に示す回路構成の一部の詳細を示す説明図である。

【符号の説明】

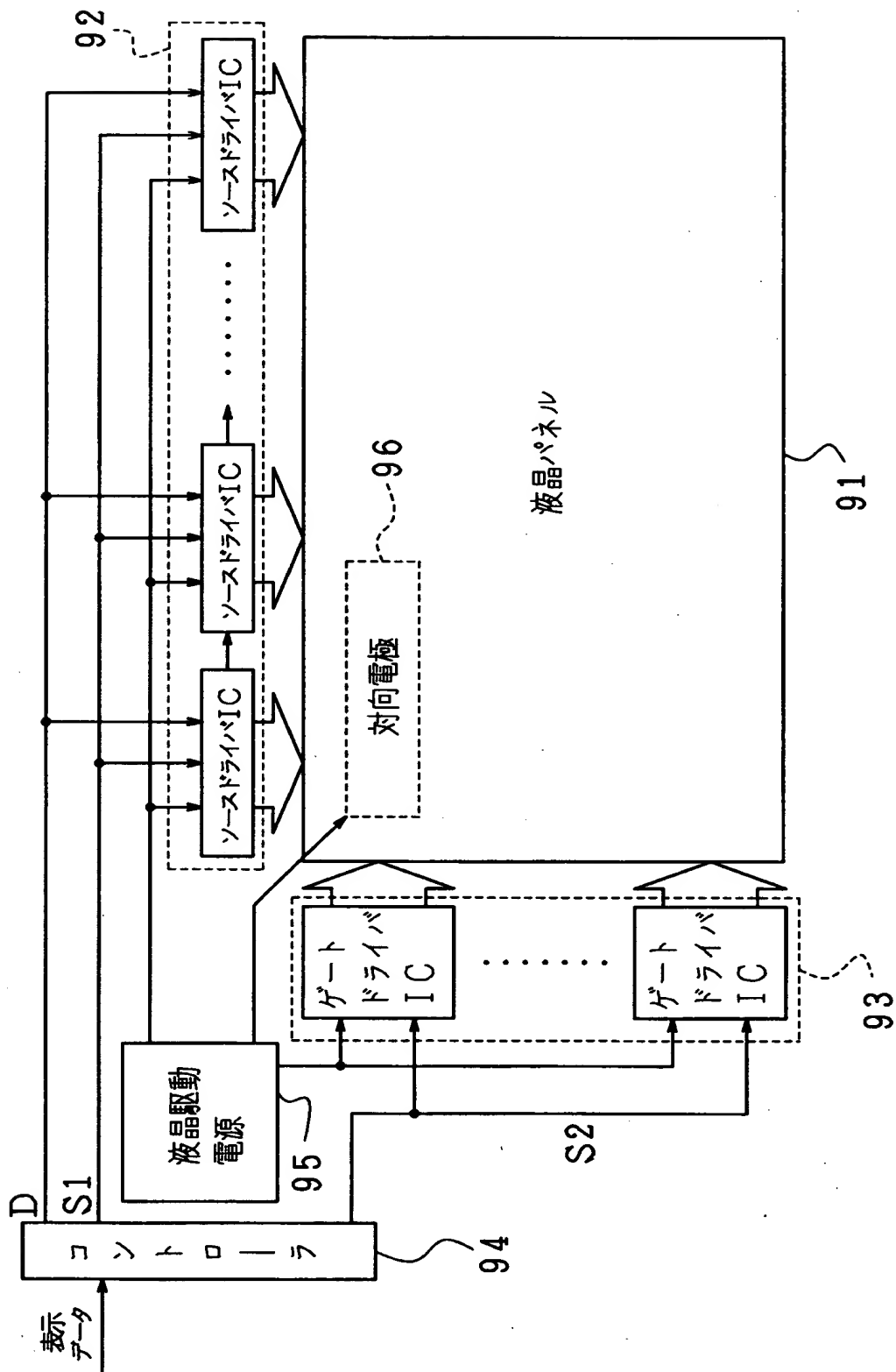
3 8	基準電圧発生回路（基準電圧発生手段）
3 8 A・B	基準電圧発生回路（基準電圧発生手段）
4 0	アナログスイッチ制御回路部（制御手段 A・B）
4 4	抵抗分割回路（電圧発生手段）
4 4 B	抵抗分割回路（電圧発生手段）
9 1	液晶パネル（階調表示素子）
9 2	ソースドライバ（階調表示用電圧発生装置）
9 7	ソースドライバ（階調表示用電圧発生装置）
1 0 1 ~ 1 2 5	アナログスイッチ回路（スイッチング手段）
1 2 6	バッファ回路（バッファ手段）
1 2 8	アナログスイッチ回路（スイッチング手段）
2 0 0	セレクト手段（切換手段）
5 0 0	セレクト手段（切換手段）
D R	デジタル表示データ（表示データ）
D G	デジタル表示データ（表示データ）
D B	デジタル表示データ（表示データ）
$I T_0 \sim I T_7$	入力端子
$O T_0 \sim O T_7$	出力端子
$R_0 \sim R_7$	抵抗（基準電圧発生ブロック）
$R'_{10} \sim R'_{17}$	抵抗（基準電圧発生ブロック）
$V_0 \sim V_{63}$	階調表示用電圧（階調表示用の電圧）
$V'_0 \sim V'_{64}$	参照電圧

【書類名】 図面

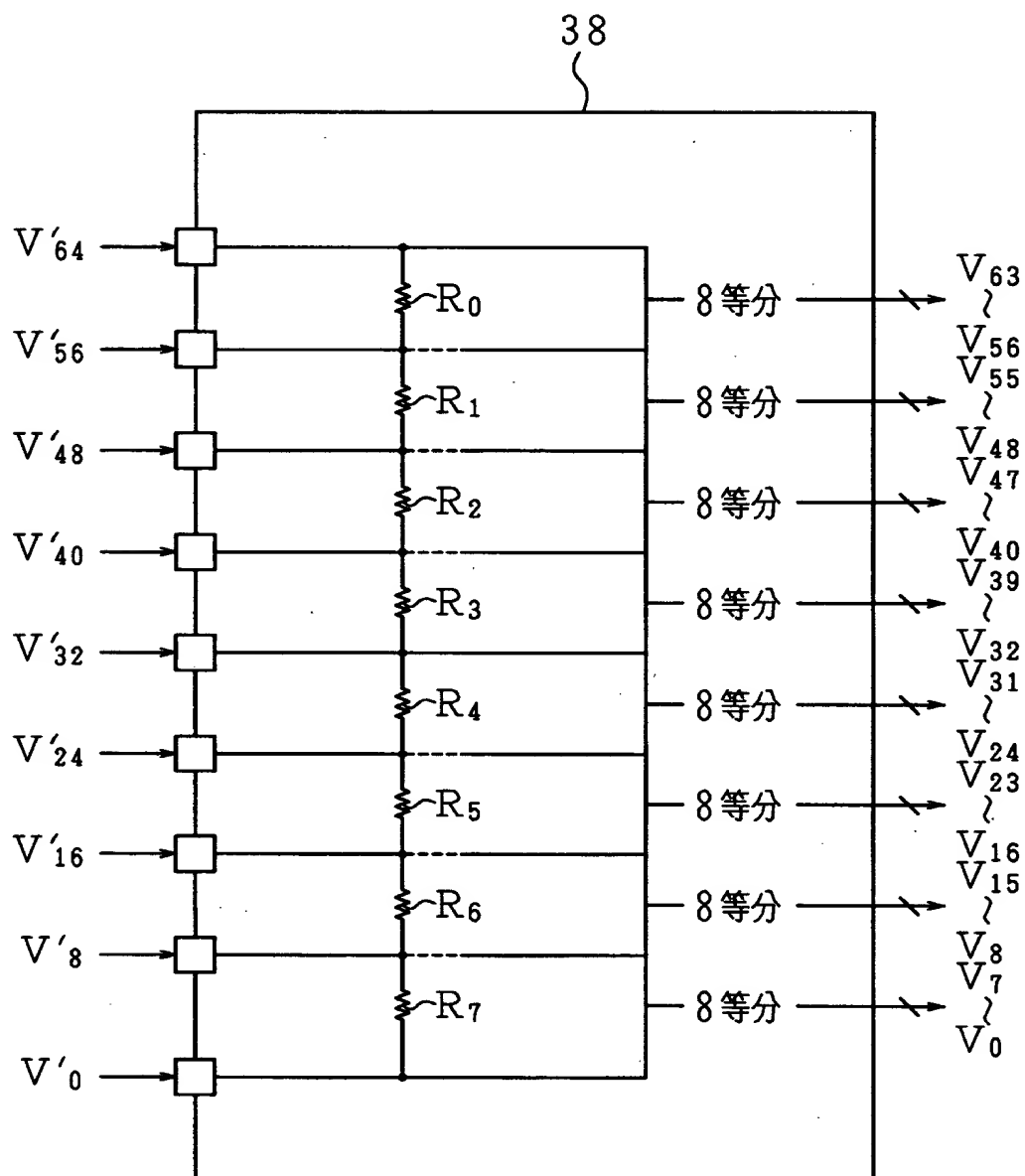
【図 1】



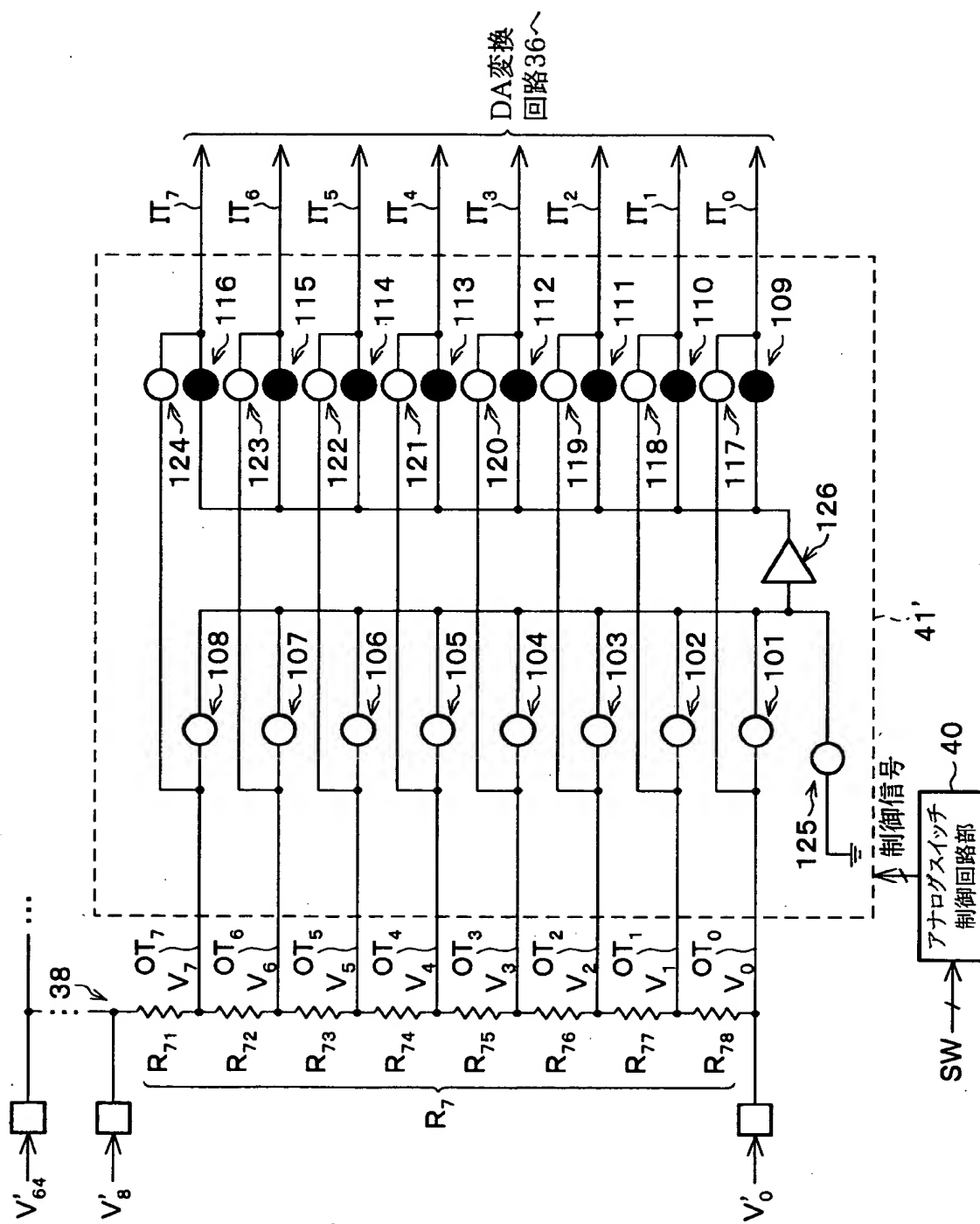
【図 2】



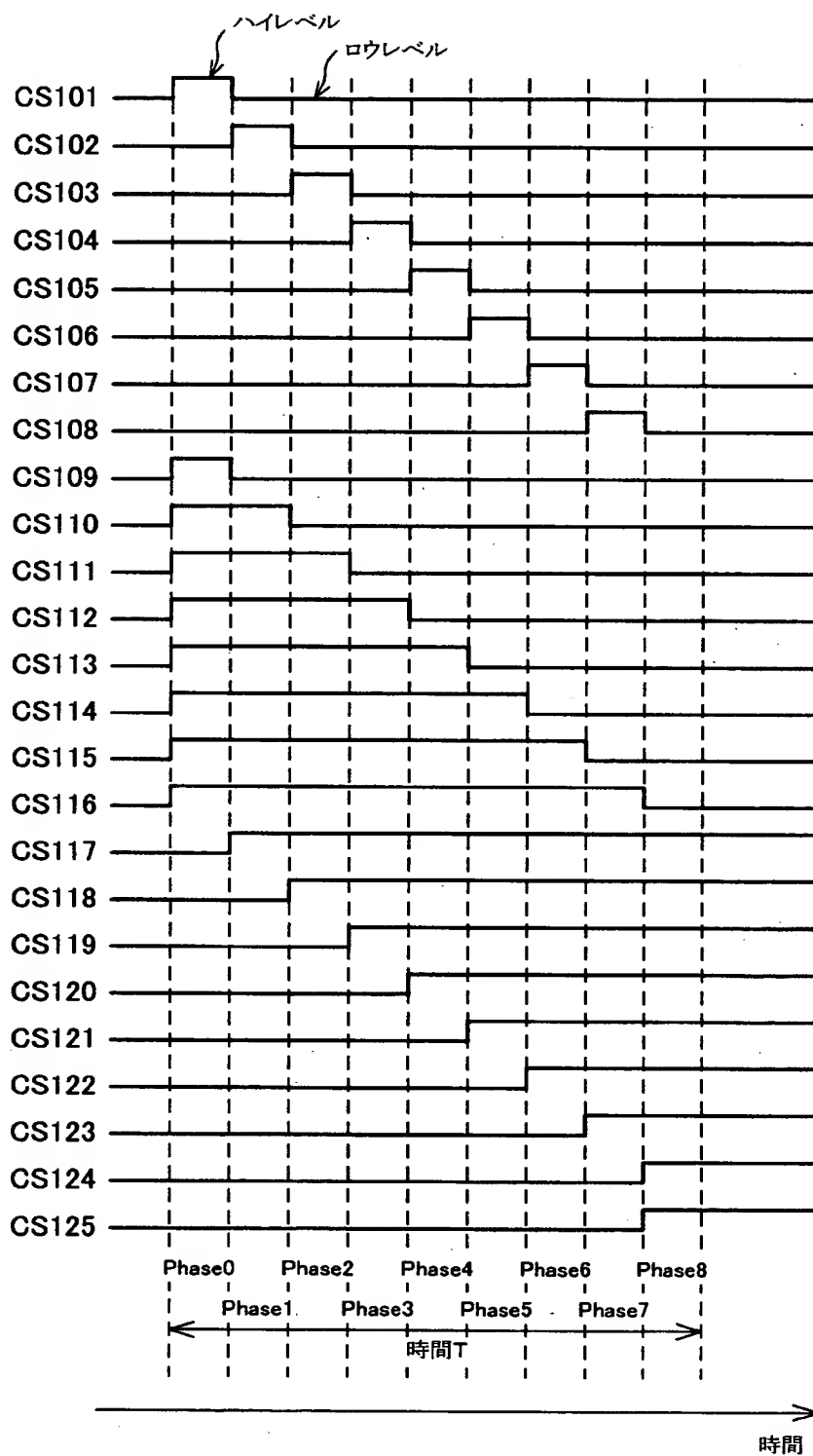
【図 3】



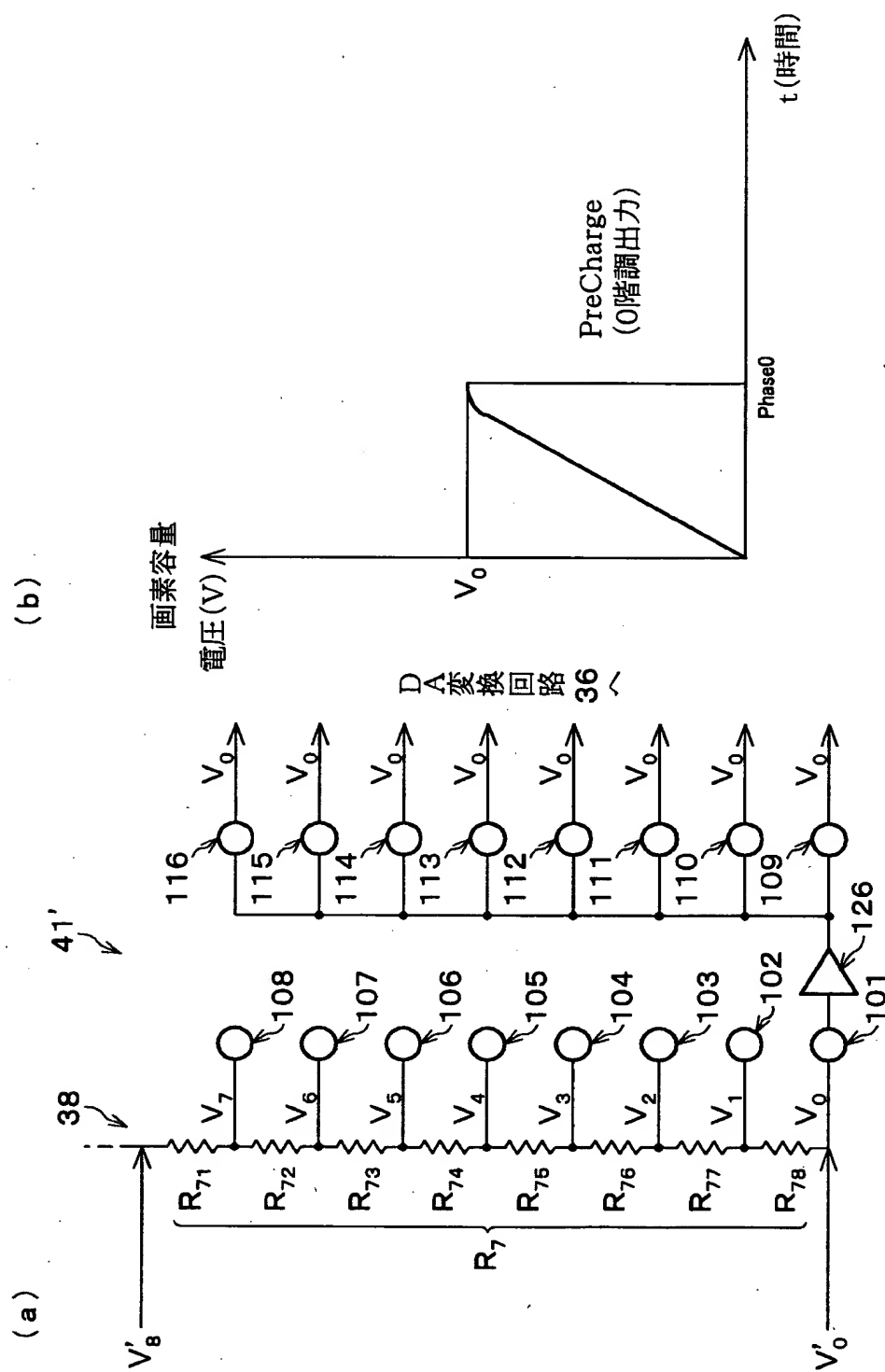
【図 4】



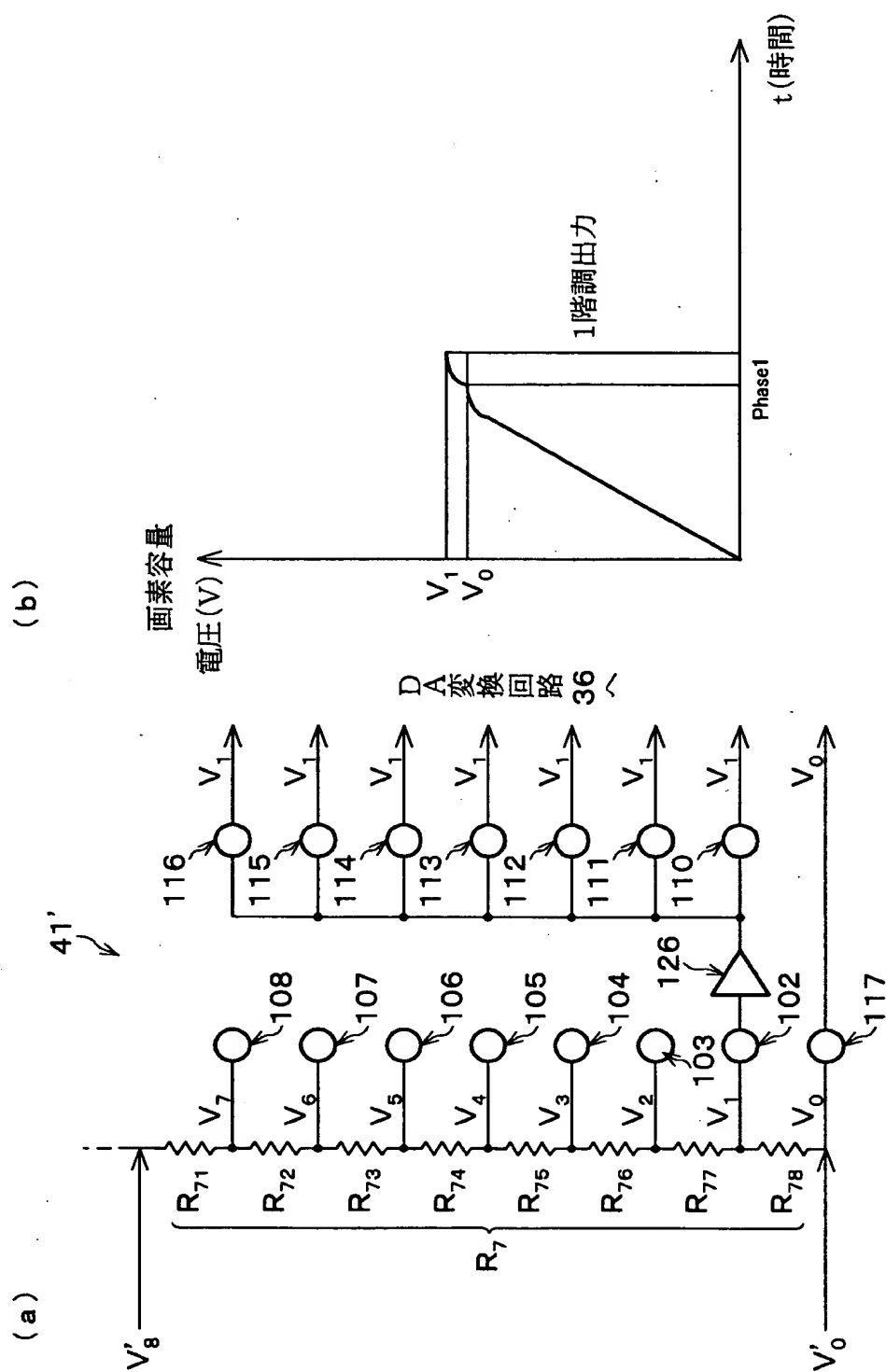
【図 5】



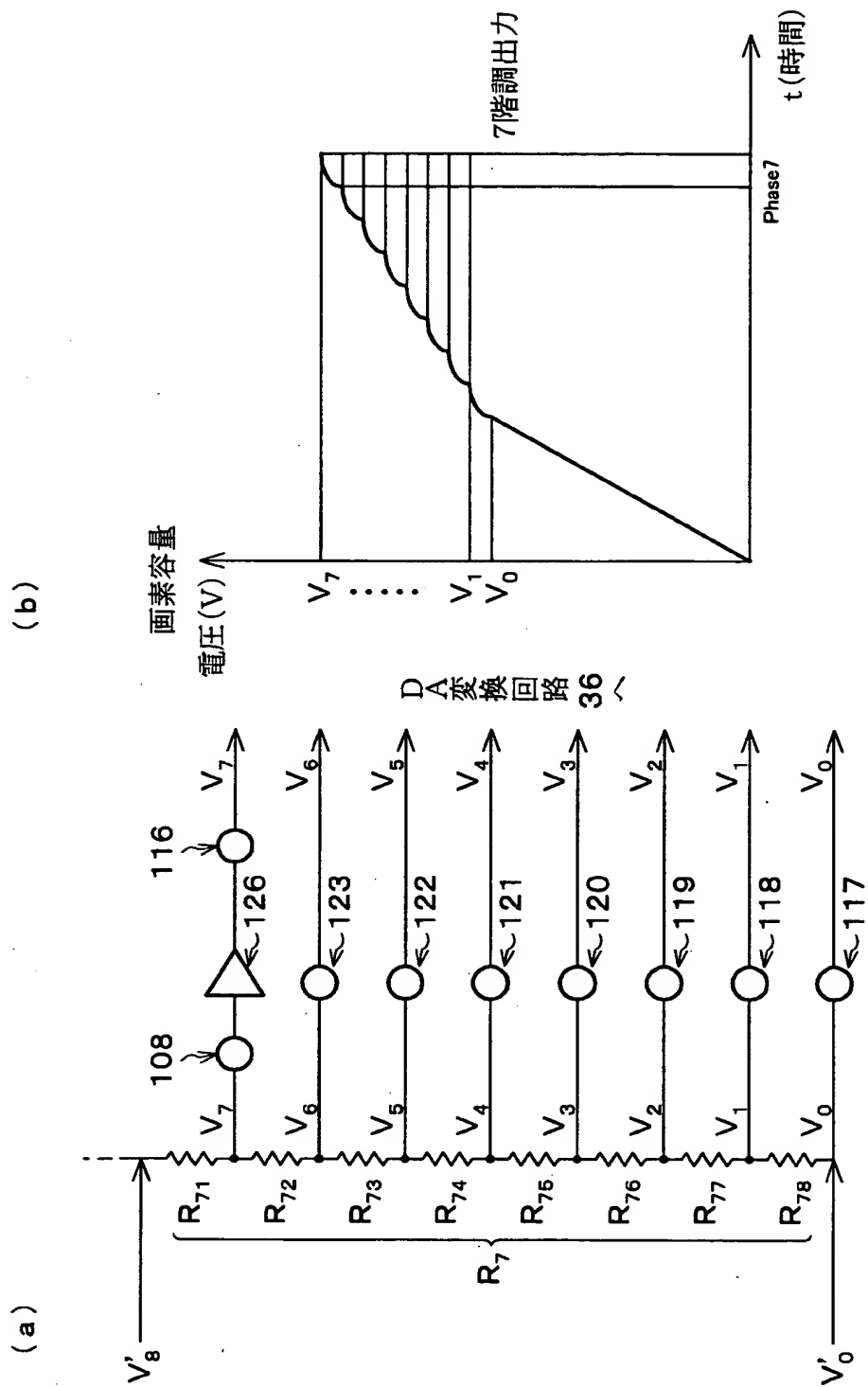
【図 6】



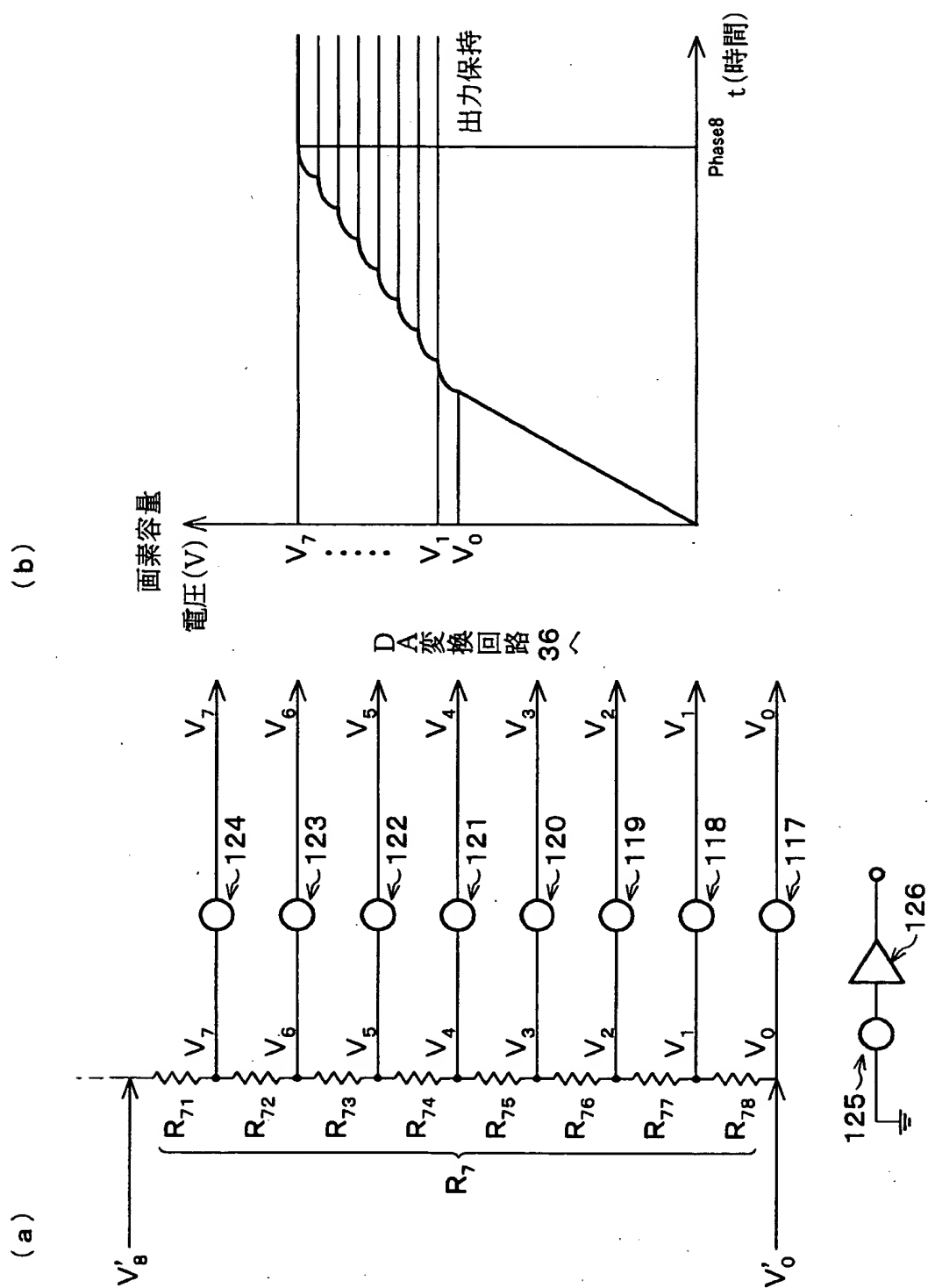
【図 7】



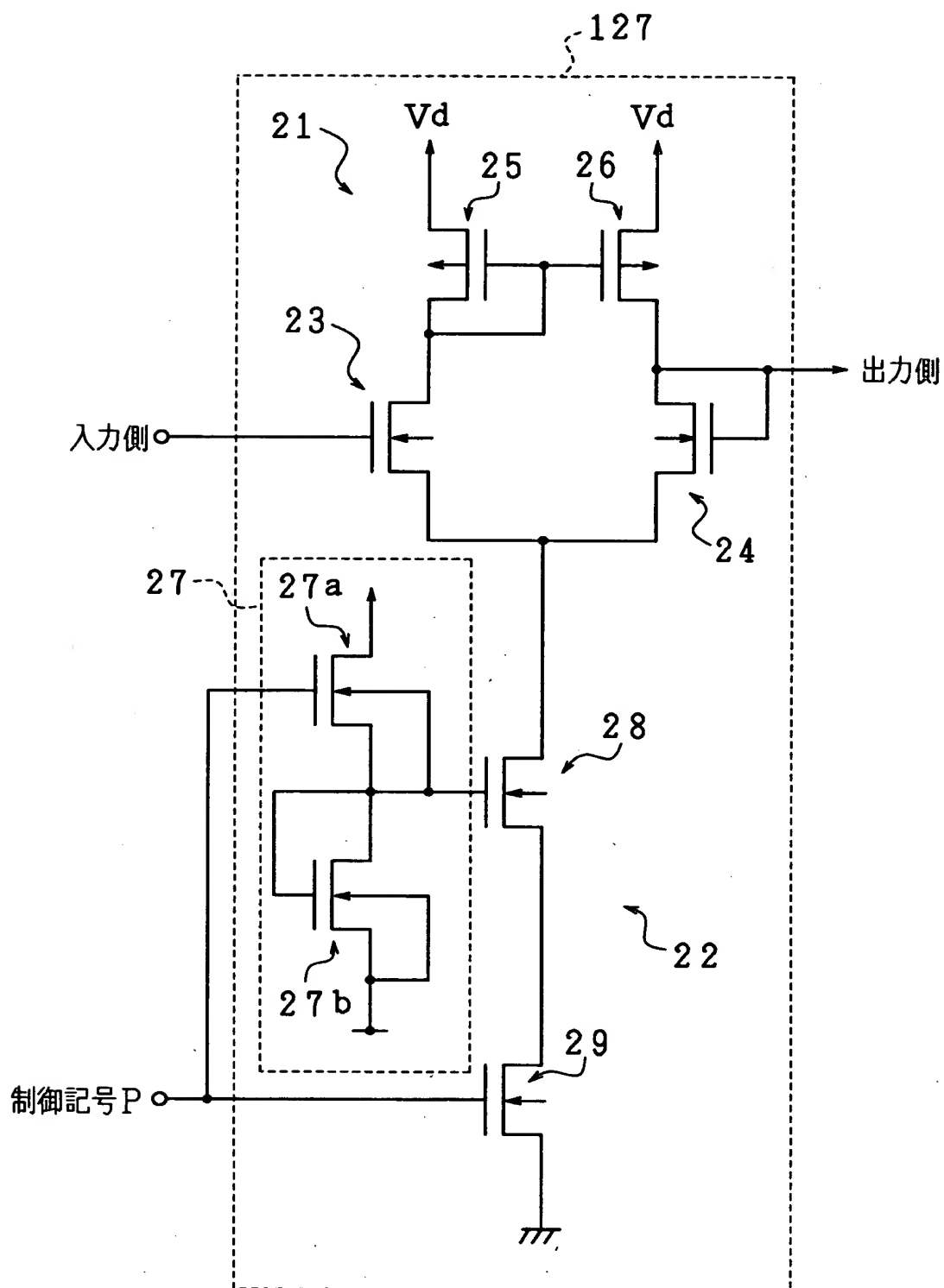
【図 8】



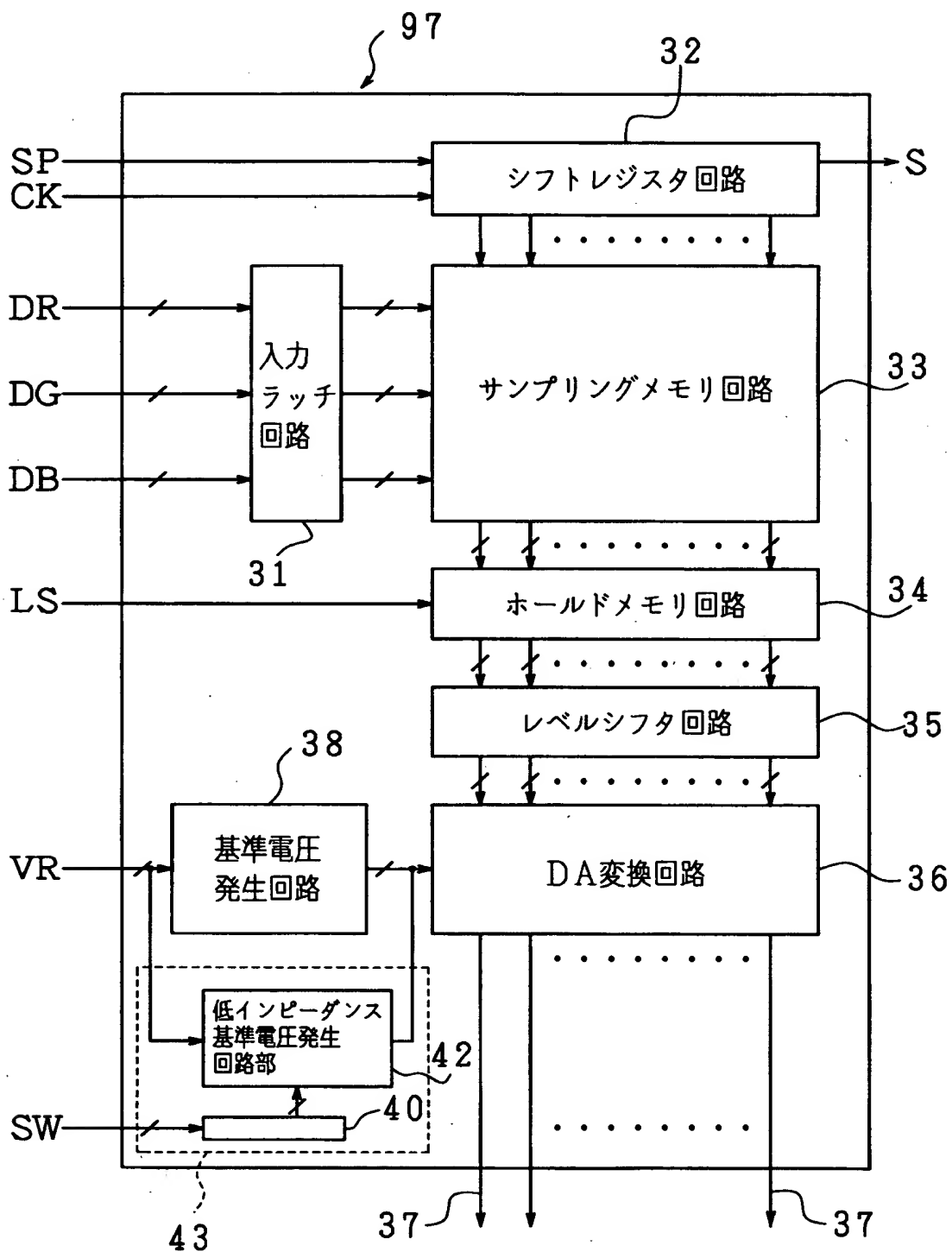
【図 9】



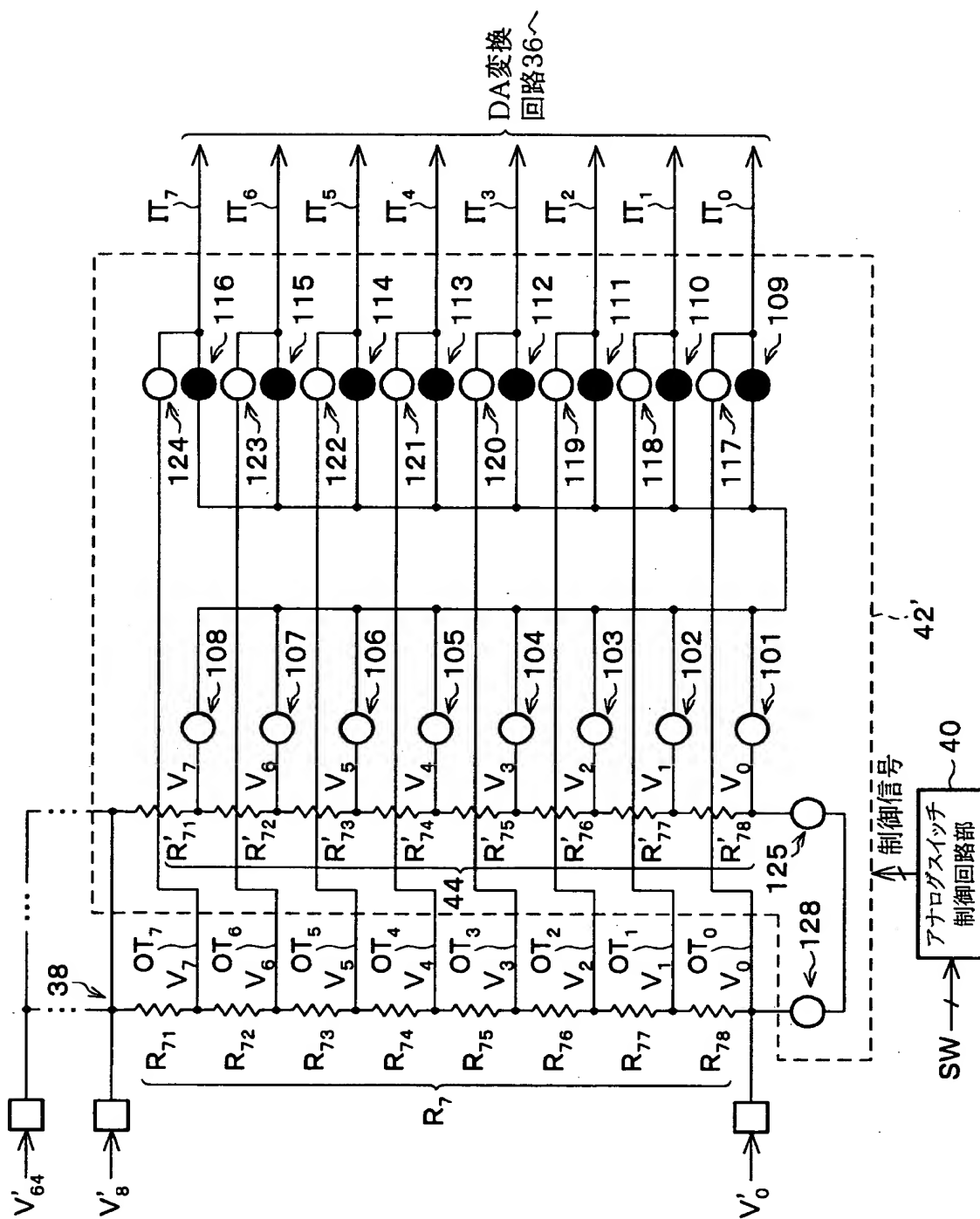
【図 10】



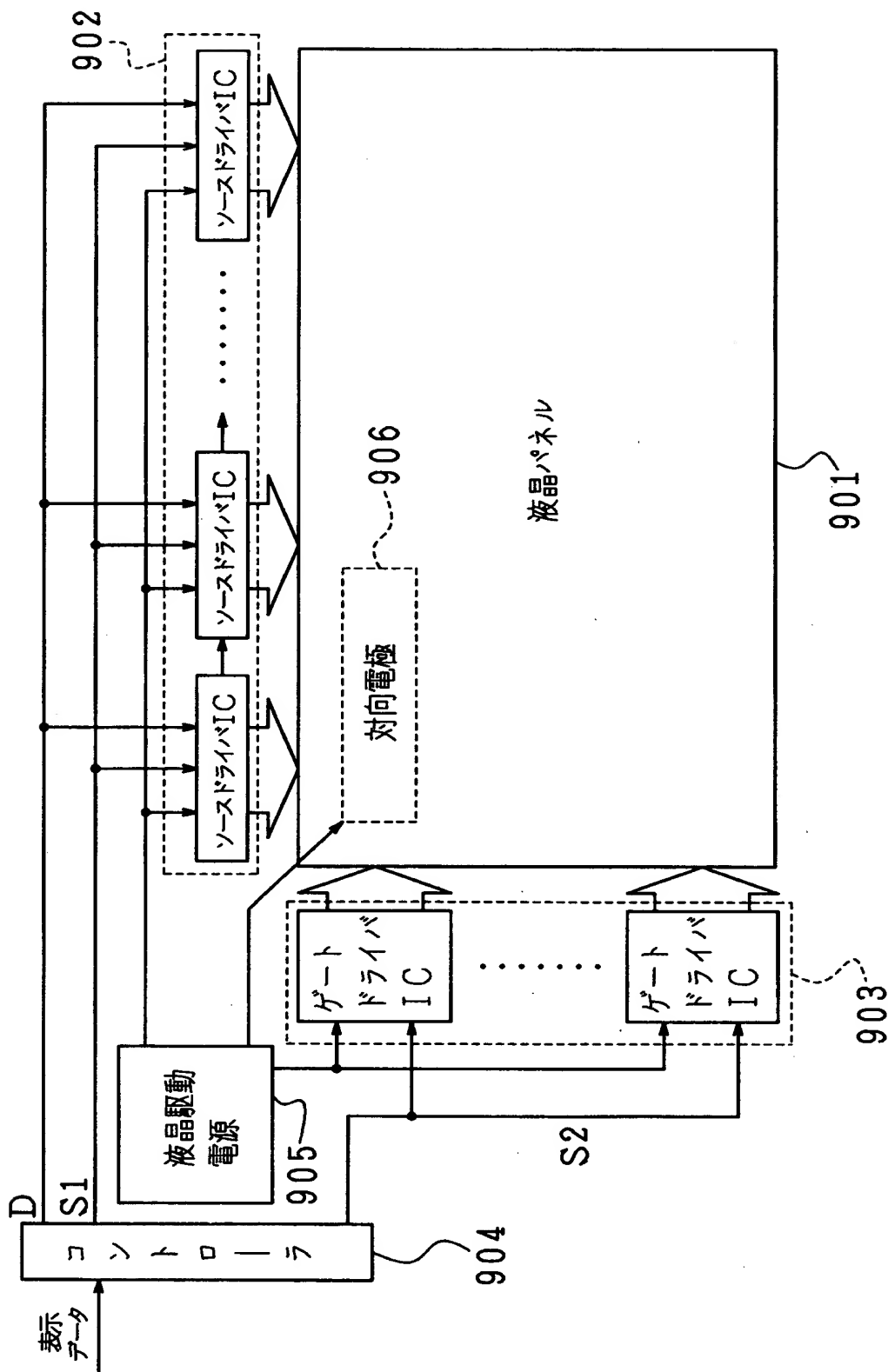
【図 11】



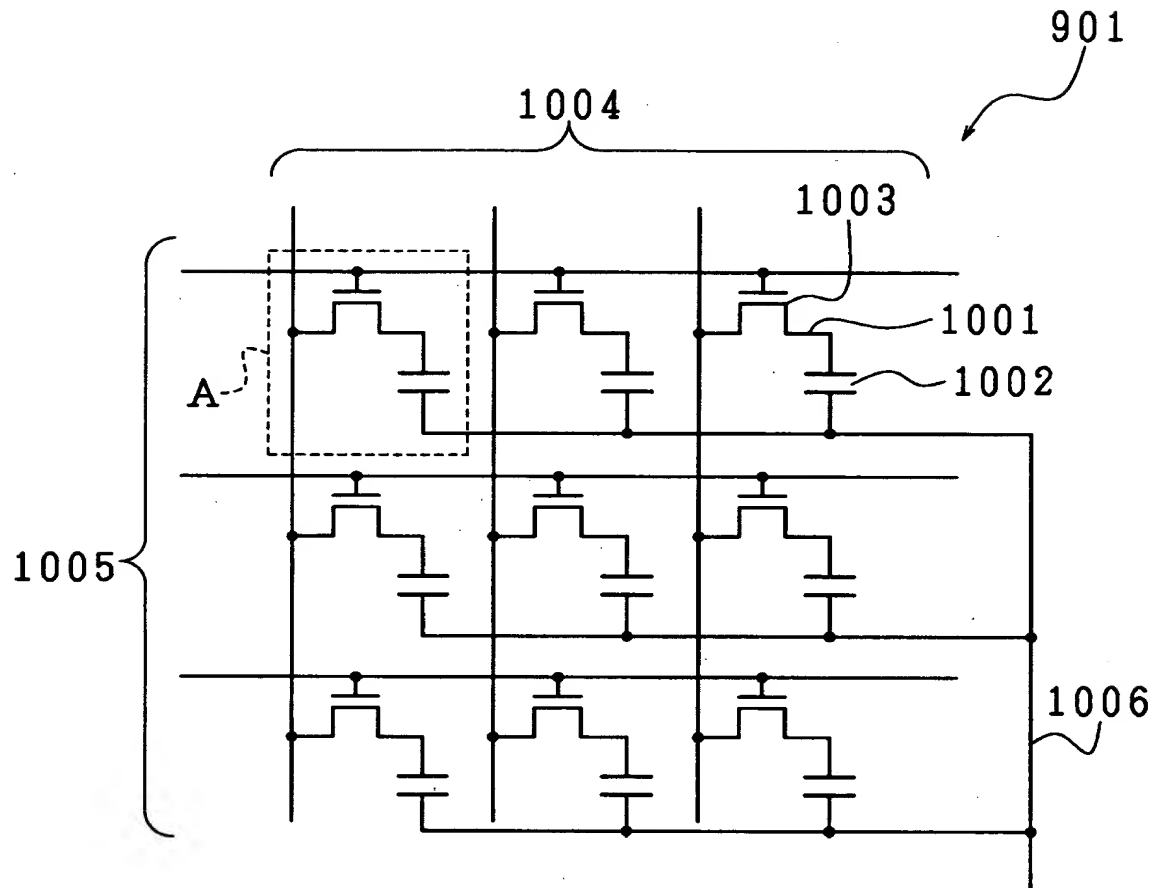
【図 12】



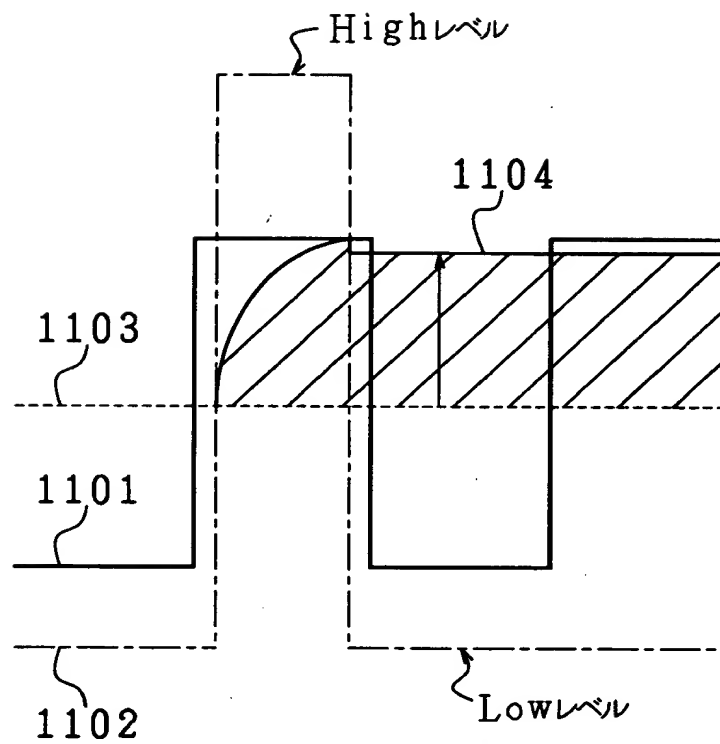
【図13】



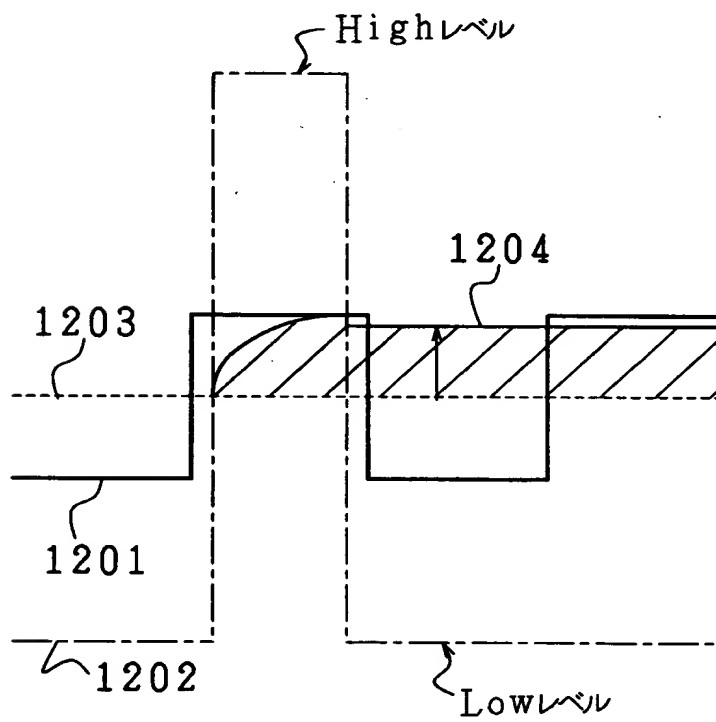
【図 14】



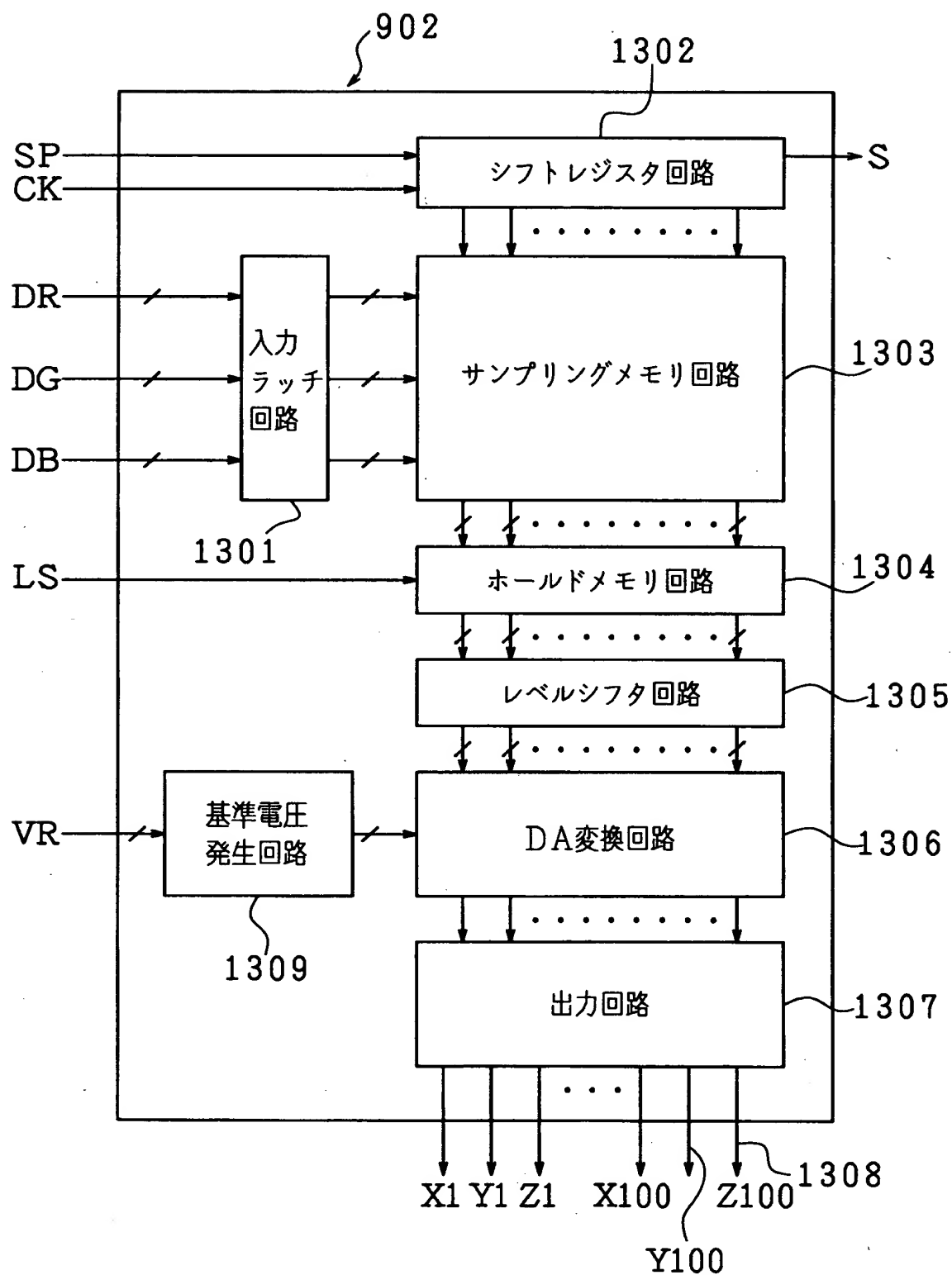
【図15】



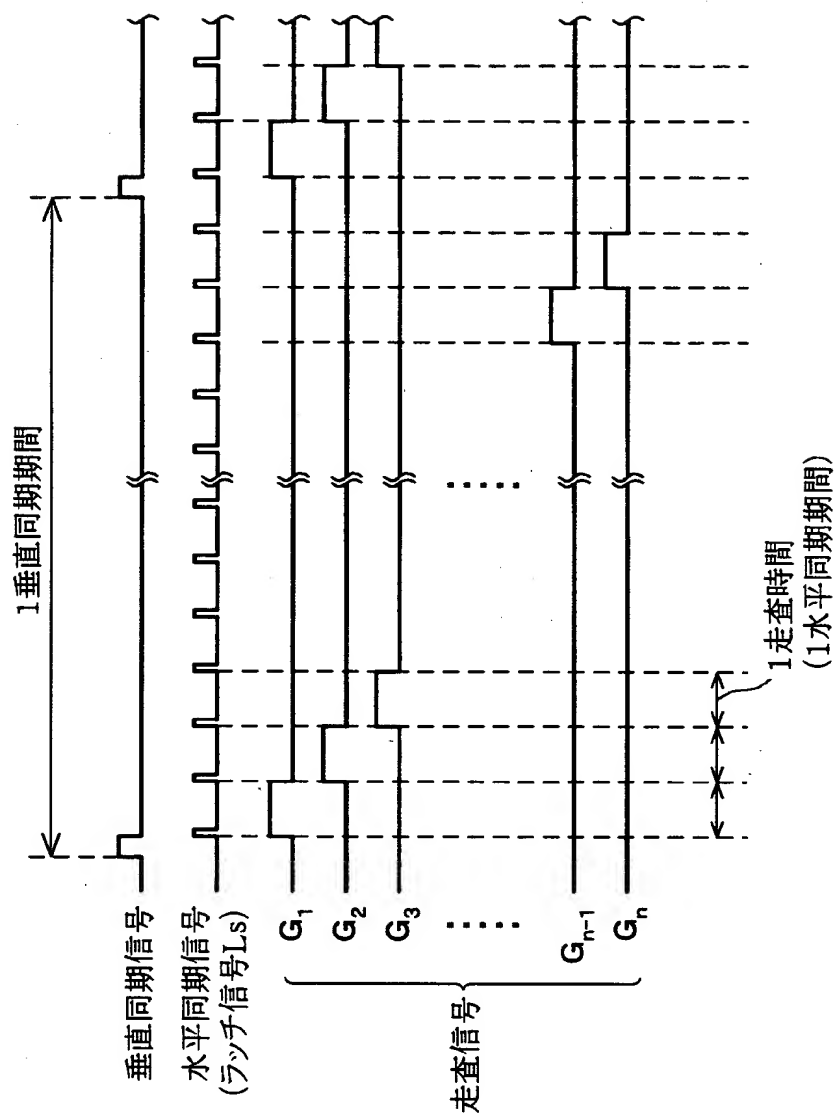
【図16】



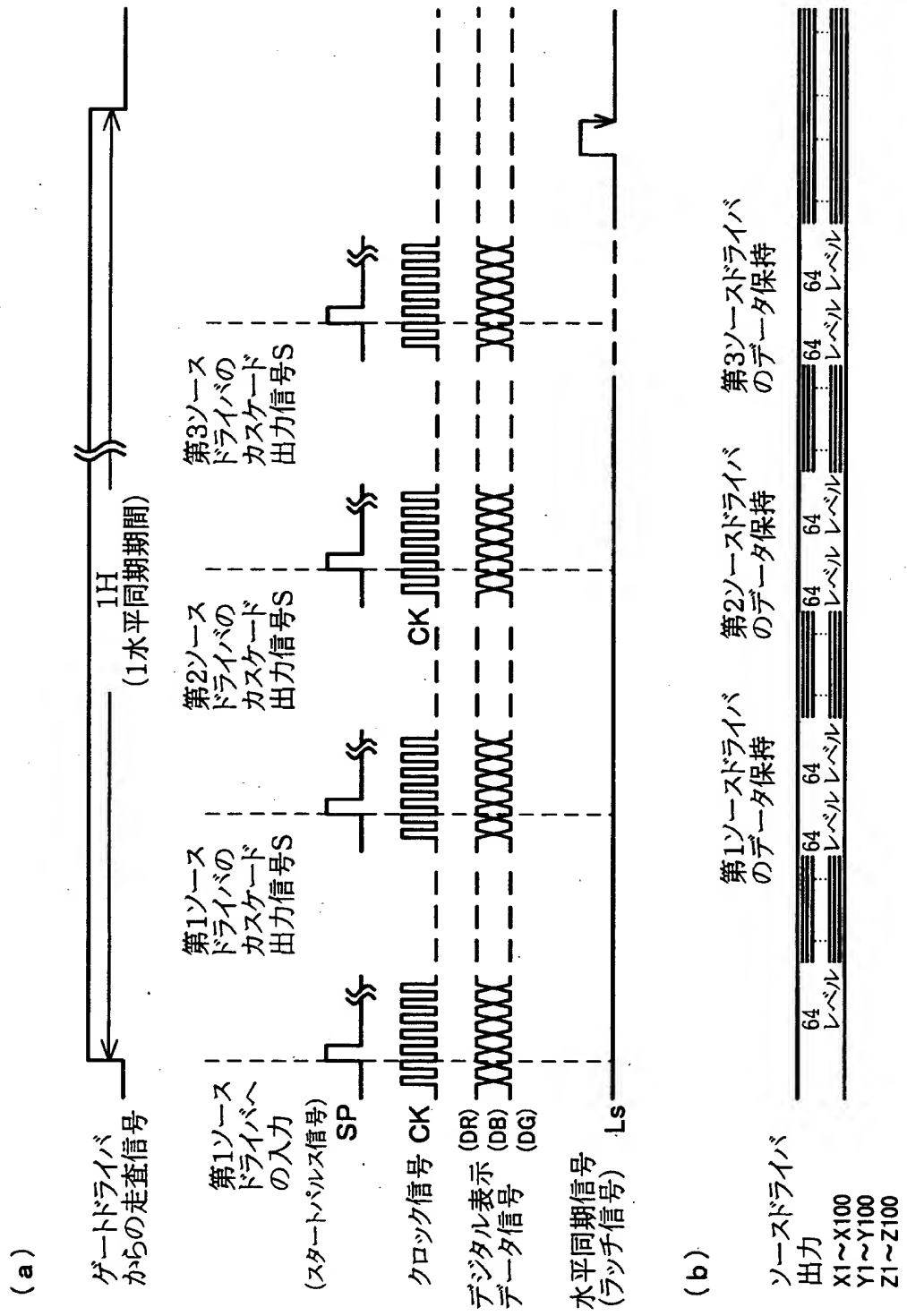
【図 17】



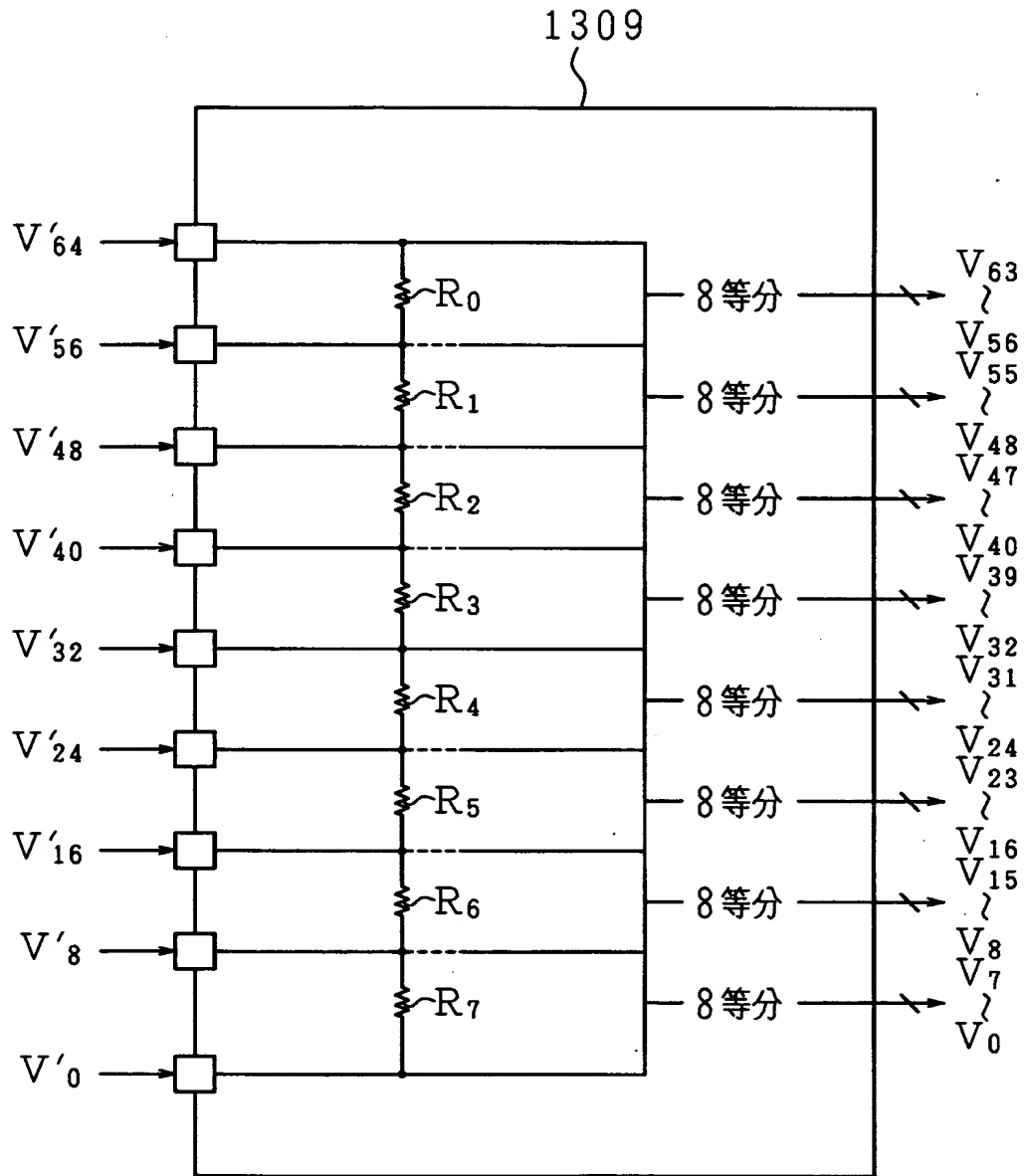
【図18】



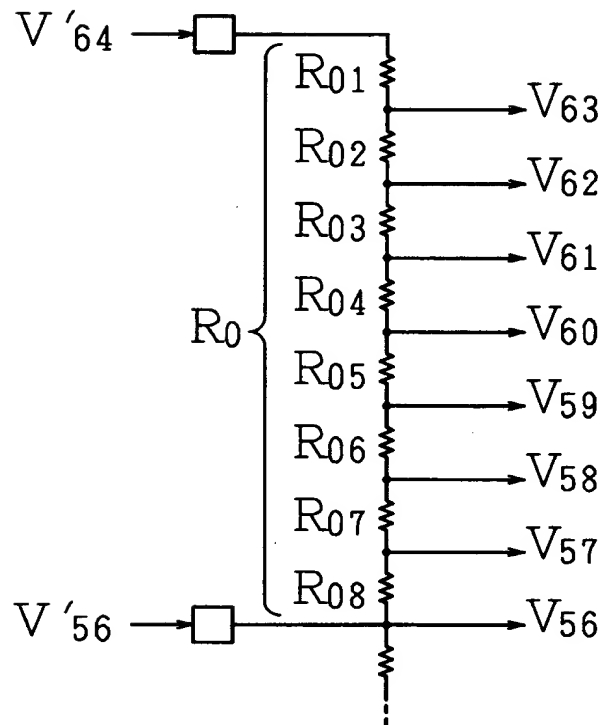
【図 1 9】



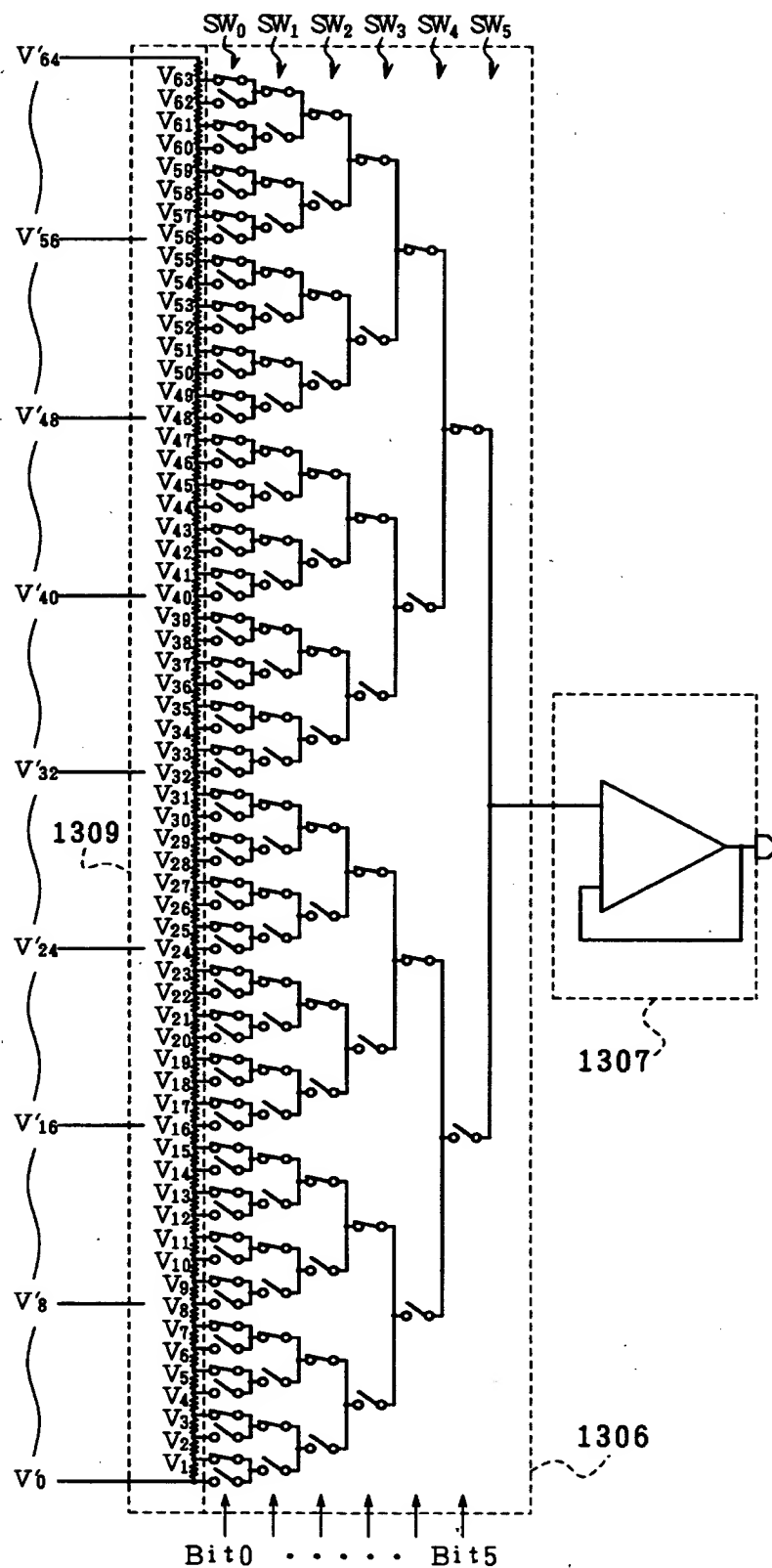
【図 2 0】



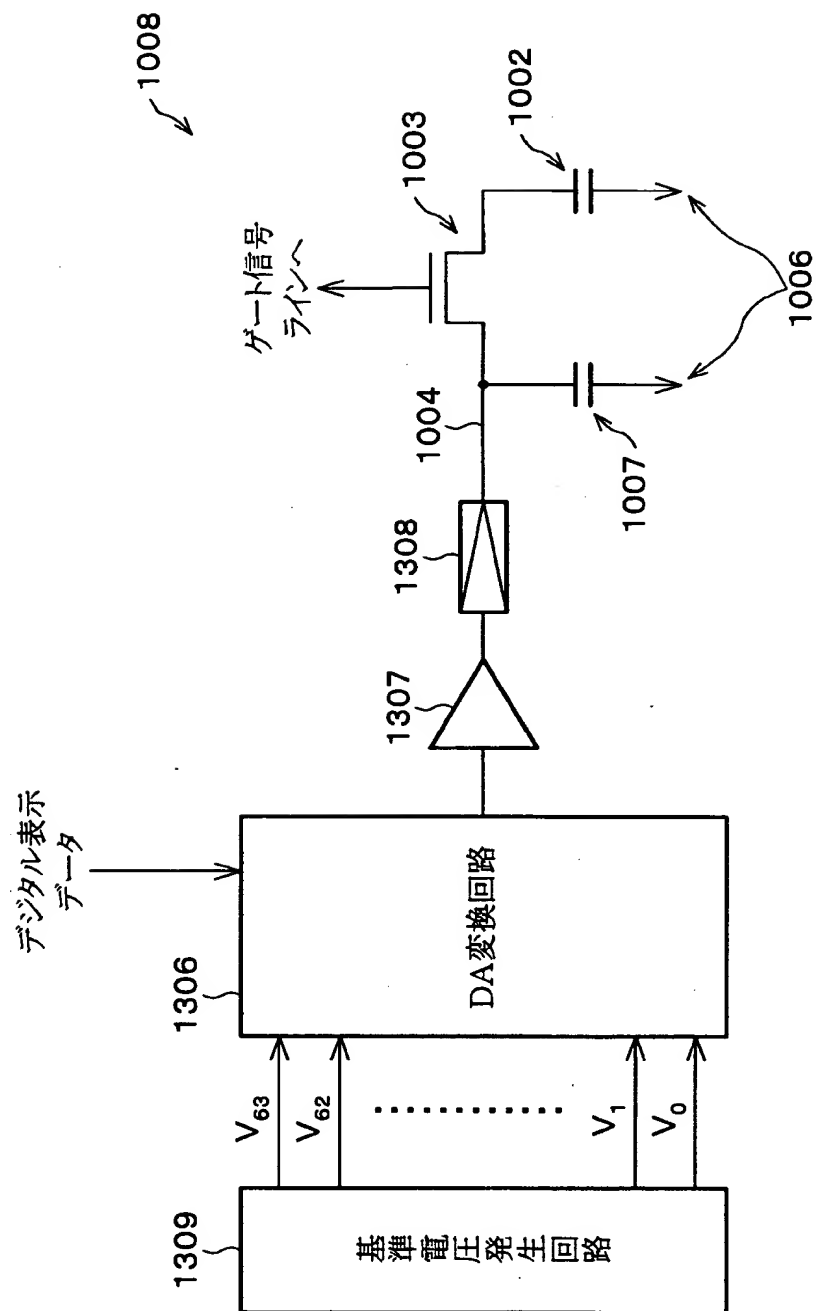
【図 2 1】



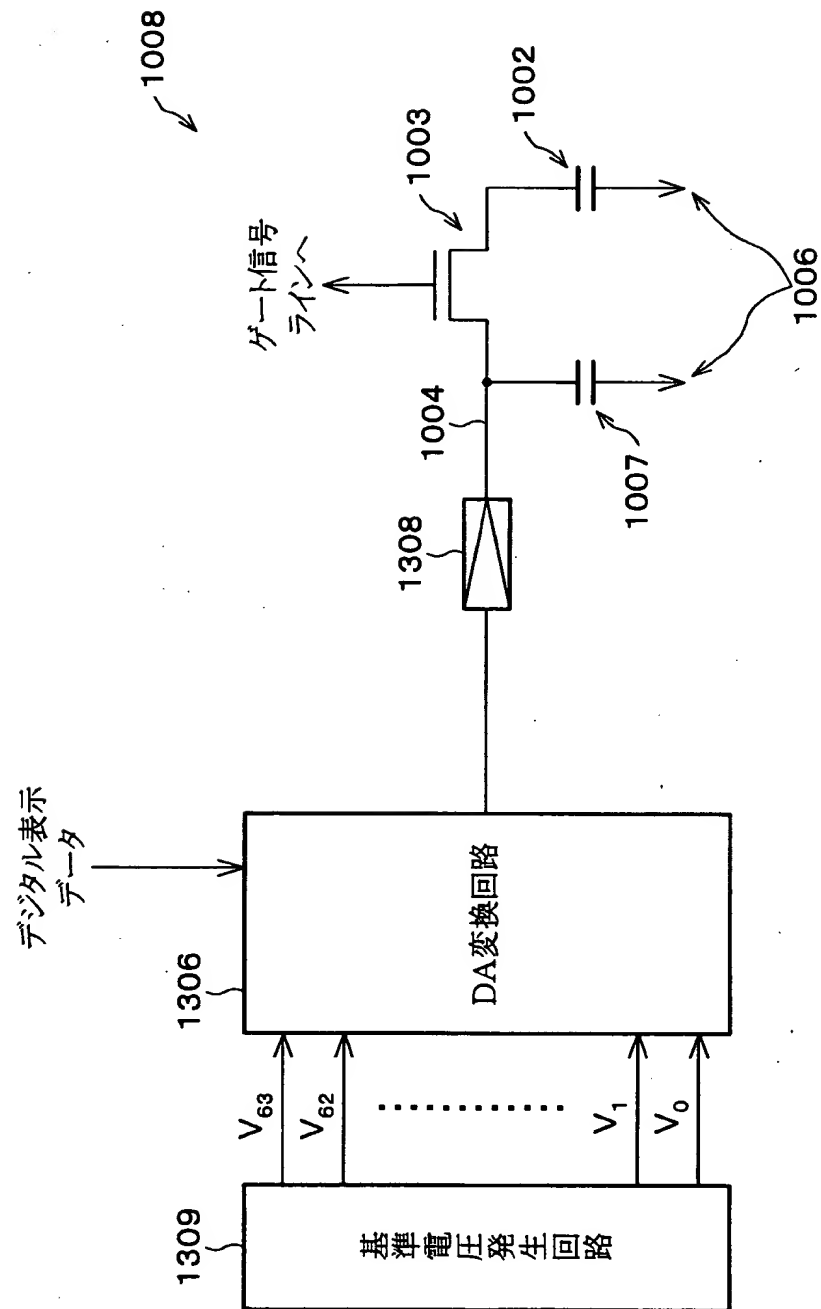
【図 2 2】



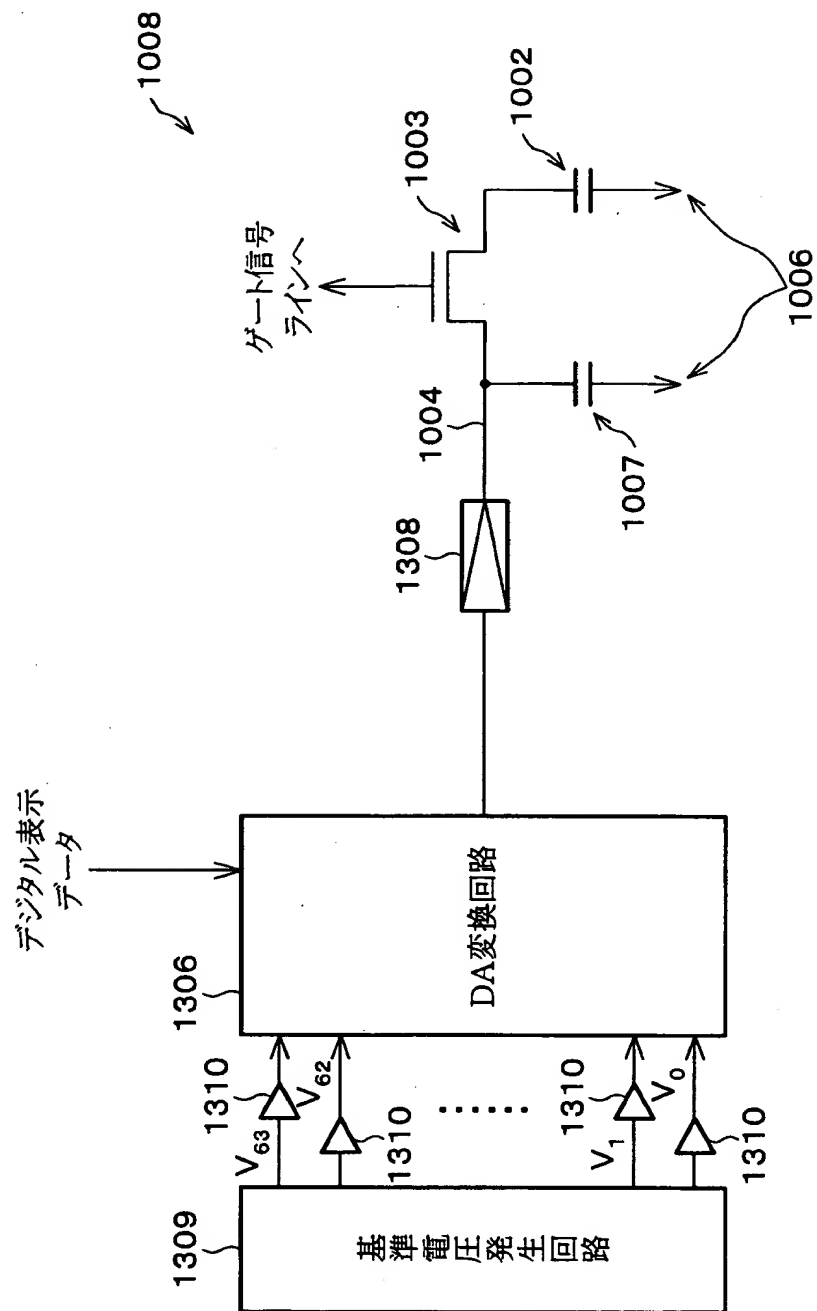
【図 2 3】



【図 2 4】

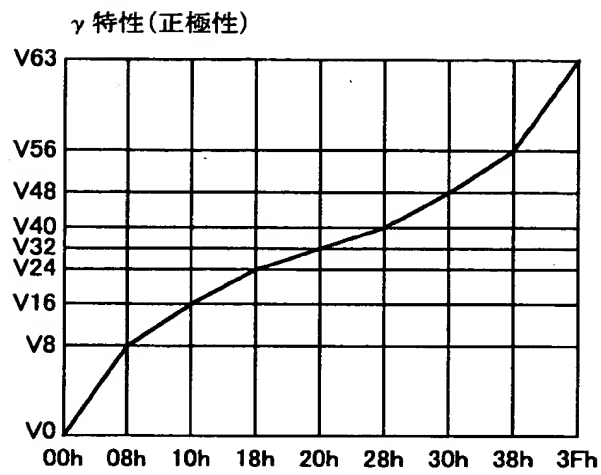


【図 25】

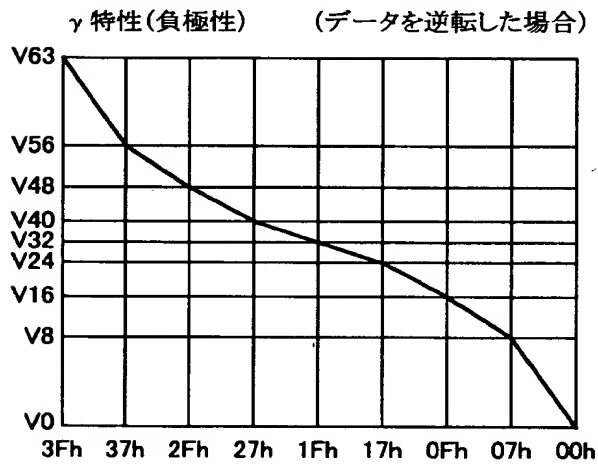


【図 2 6】

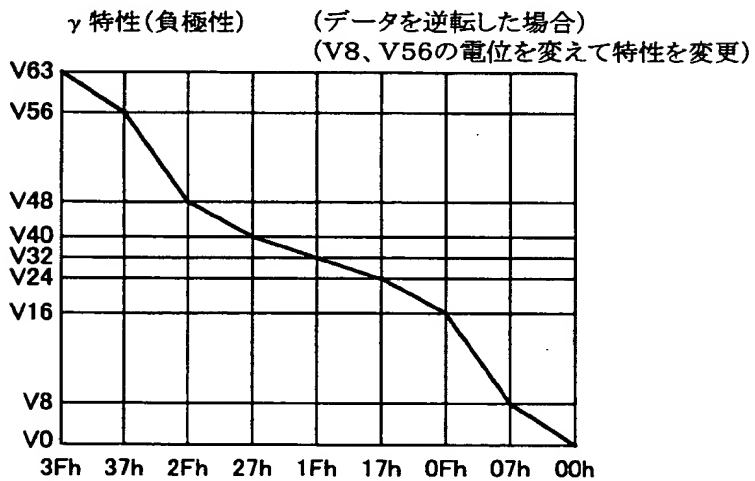
(a)



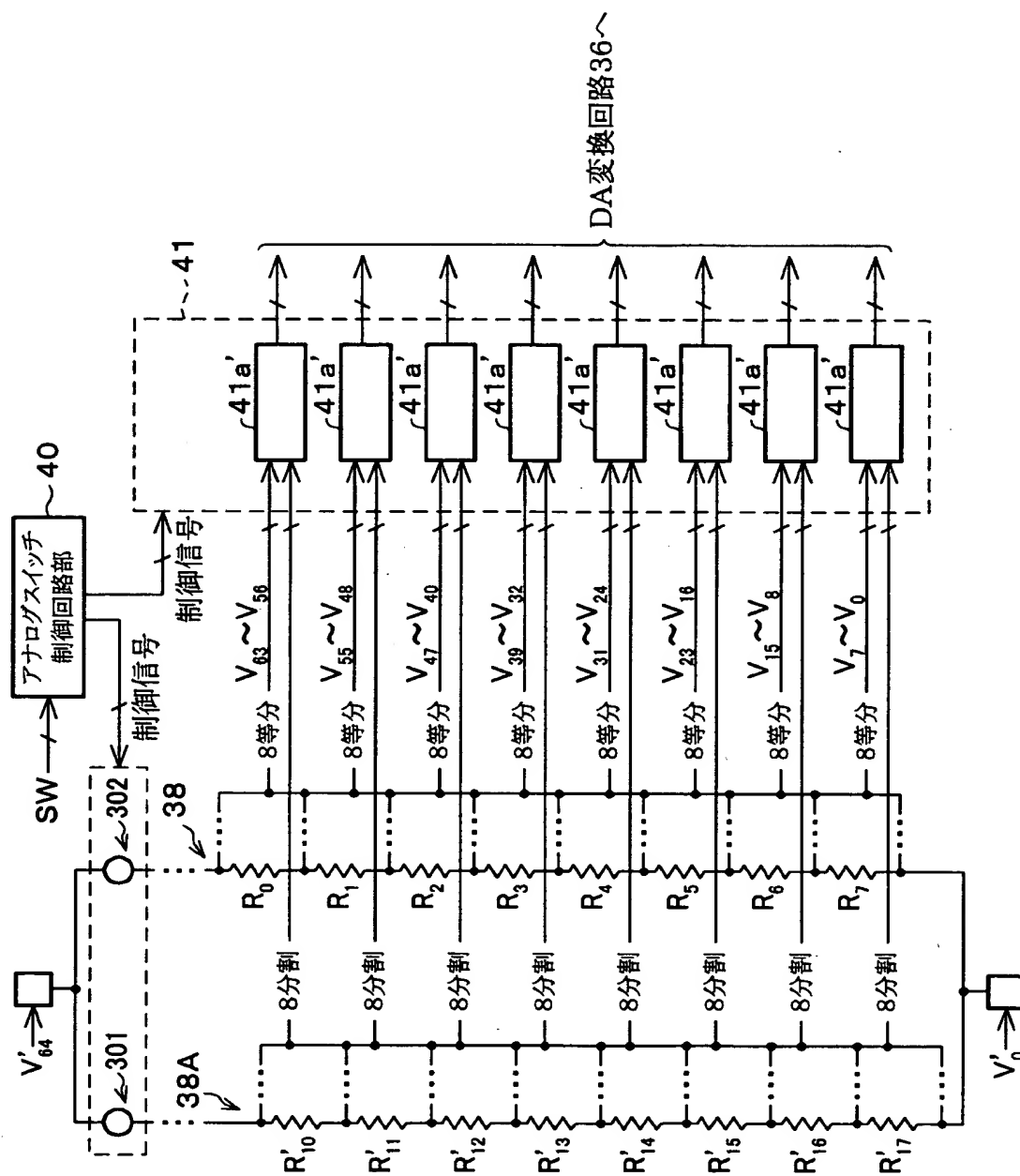
(b)



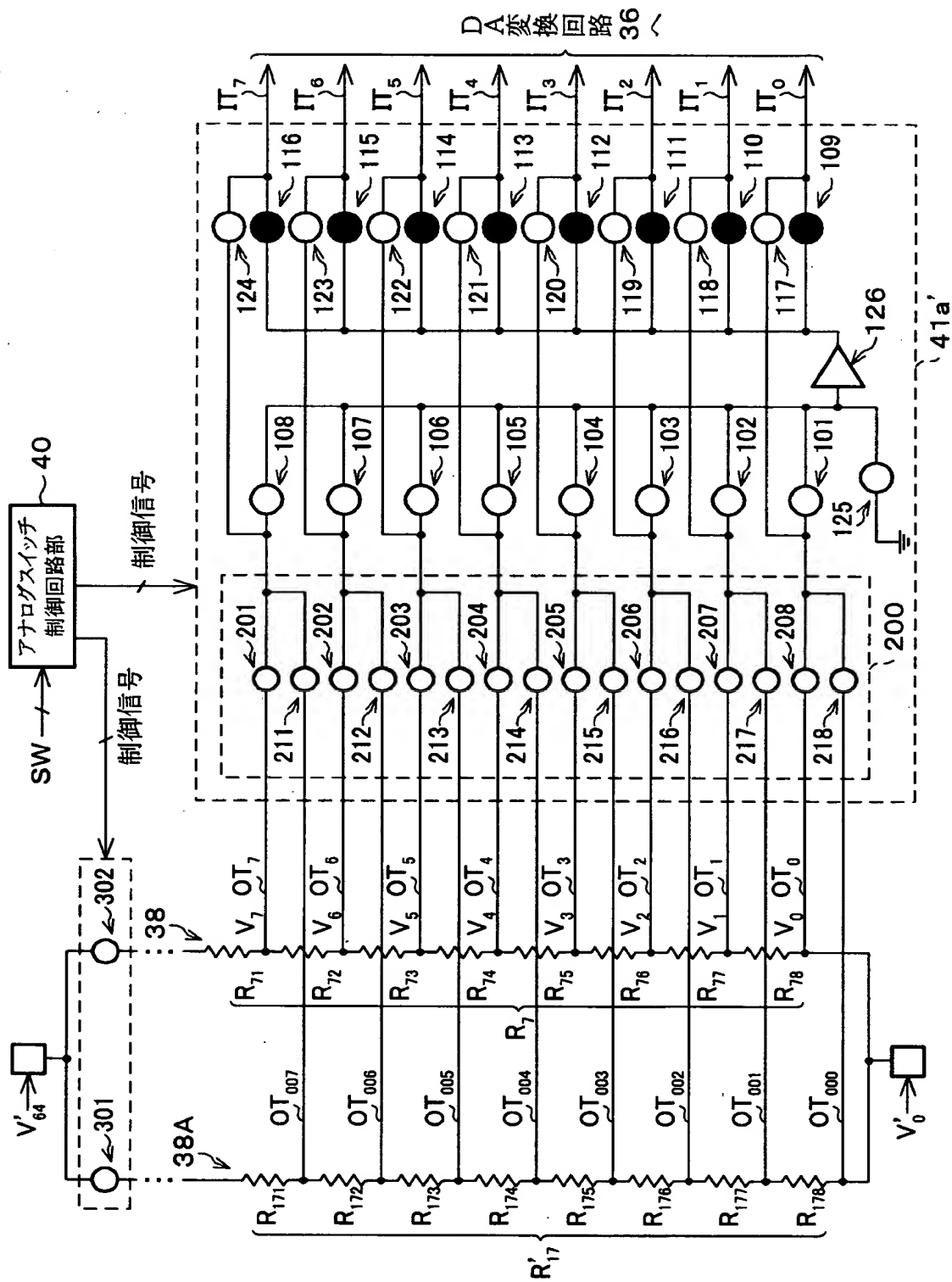
(c)



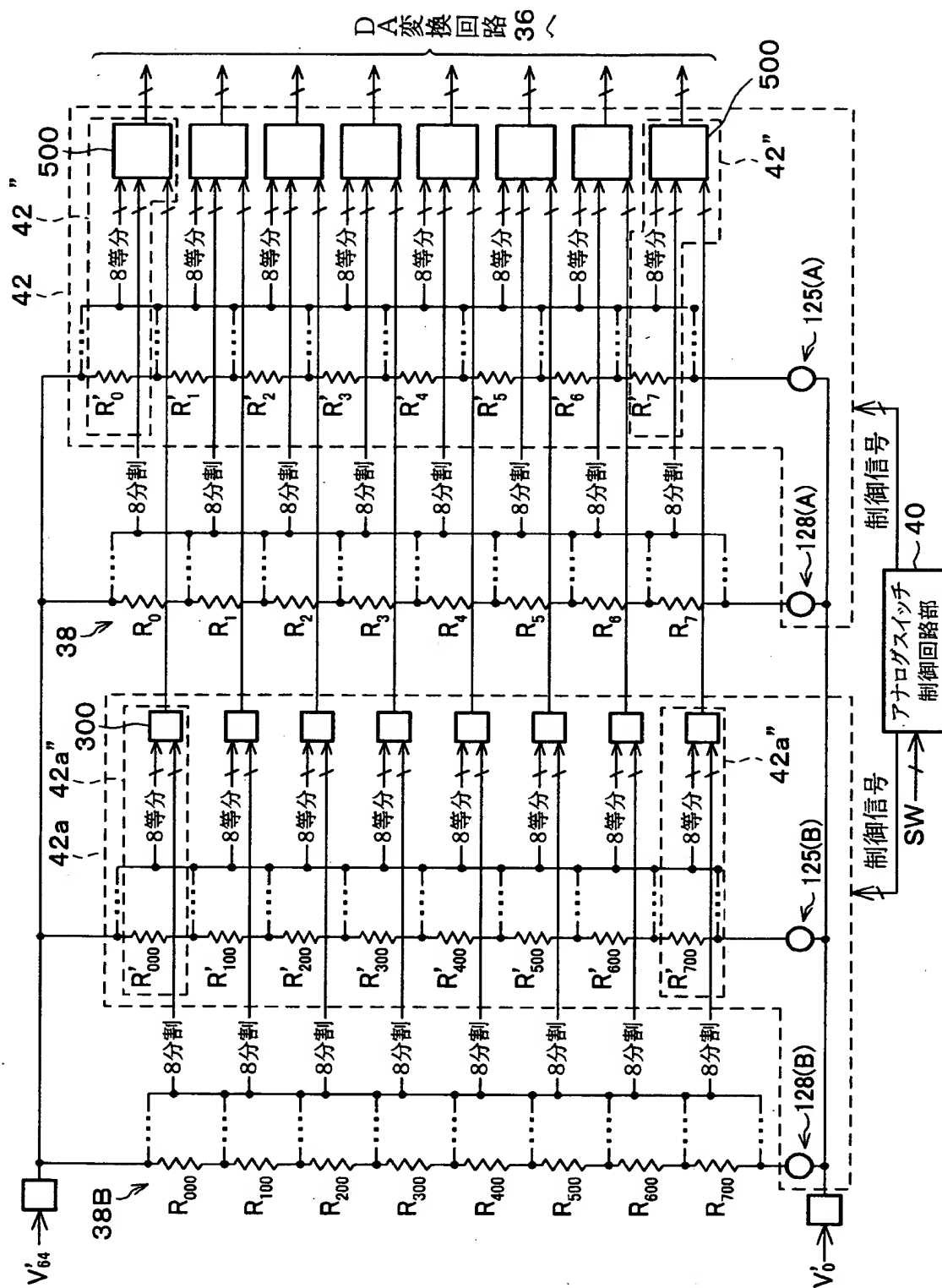
【図 27】



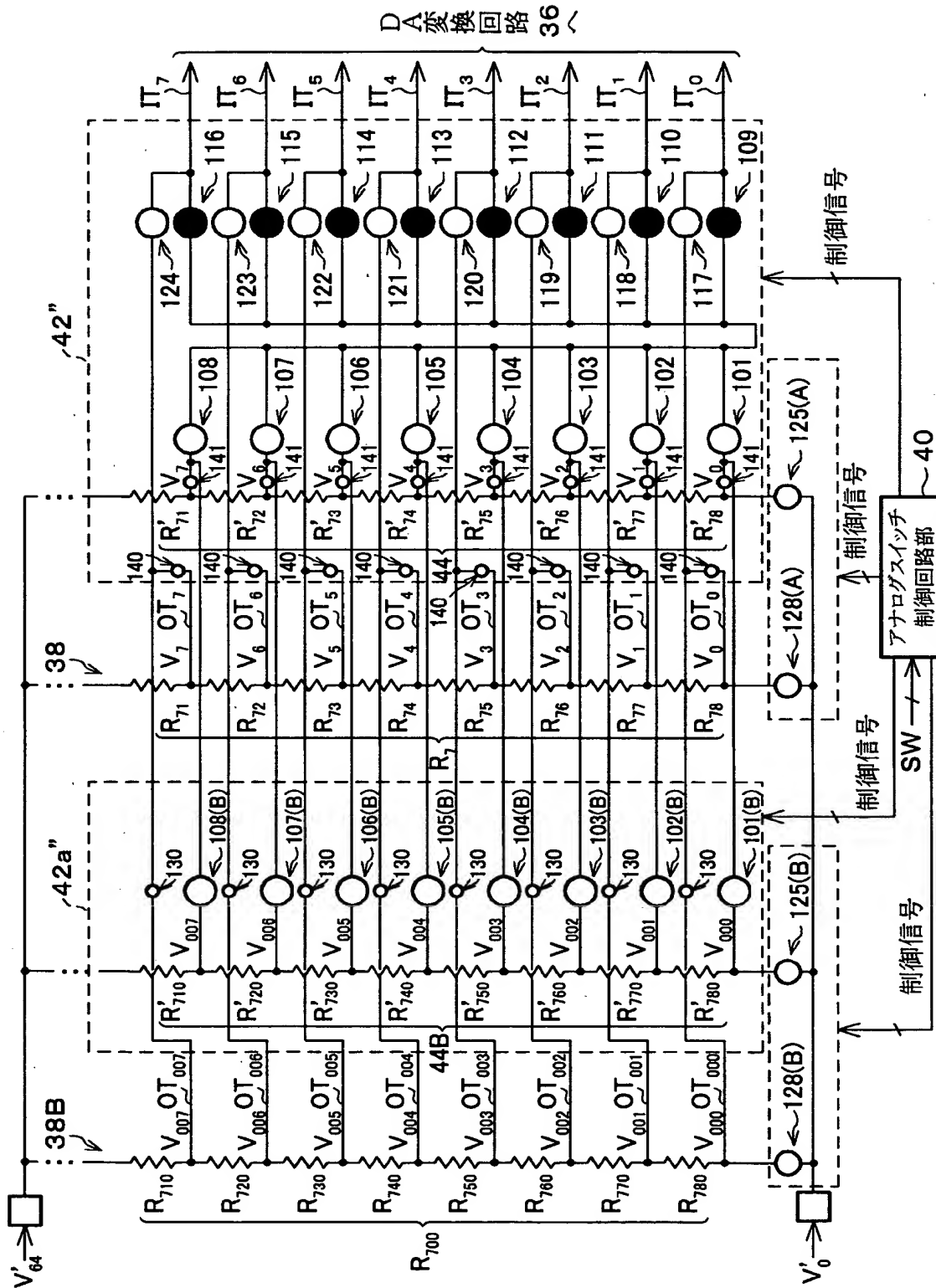
【図 28】



【图 29】



【図 30】



【書類名】 要約書

【要約】

【課題】 階調表示素子を対象とし、バッファ回路などの低出力インピーダンス回路を介した急速な充電と、介さない低消費電力な充電とを切り換え実施する階調表示用電圧発生装置と、それを備えた階調表示装置を提供すること。

【解決手段】 階調表示用電圧を生成する基準電圧発生回路 3 8 と、階調表示用電圧を選択して液晶パネルに出力する D A 変換回路 3 6 とを備えたソースドライバ 9 2 において、基準電圧発生回路 3 8 と D A 変換回路 3 6 との間には、バッファ回路と、基準電圧発生回路 3 8、バッファ回路、並びに D A 変換回路 3 6 の 3 者間の接続状態を切り換えることにより、階調表示用電圧をバッファ回路を介して D A 変換回路 3 6 に出力するか、介さずに出力するかを選択するアナログスイッチ回路とを含んでなるバッファ回路部 4 1 が設けられている。また、アナログスイッチ回路の動作は、アナログスイッチ制御回路部 4 0 により制御される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社